


MOS-controlled thyristor with current saturation characteristics

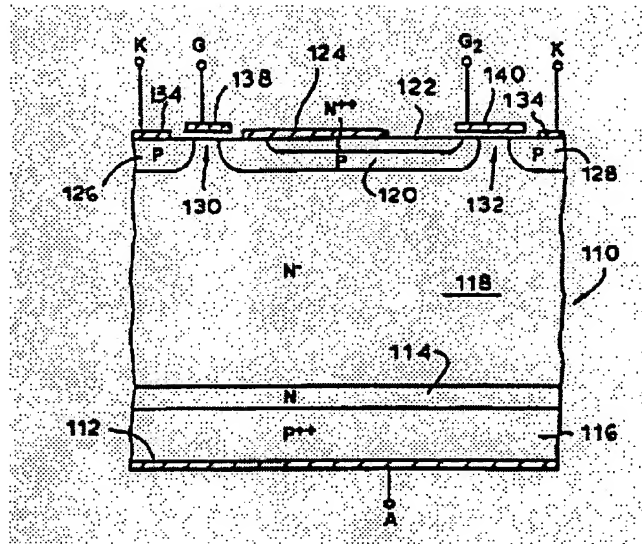
Patent number: DE19521751
Publication date: 1996-02-01
Inventor: AJIT JANARDHANAN S (US)
Applicant: INT RECTIFIER CORP (US)
Classification:
- **International:** H01L29/739; H01L23/485
- **European:** H01L29/745B, H01L29/749
Application number: DE19951021751 19950614
Priority number(s): US19940265397 19940624

Also published as:

 US5498884 (A1)
JP8051197 (A)
ITMI951305 (A)
GB2290659 (A)
FR2723259 (A1)

Abstract not available for DE19521751
Abstract of correspondent: **US5498884**

A MOS-controlled thyristor which has current saturation characteristics and does not have any parasitic thyristor structure. In some embodiments, the device has two gate drives and is a four terminal device. In other embodiments, the device requires only a single gate drive and is a three terminal device. The device can be constructed in a cellular geometry. In all embodiments, the device has superior turn-off characteristics and a wider Safe-Operating-Area because the N++ emitter/P base junction is reverse biased during turn-off.



Data supplied from the esp@cenet database - Worldwide



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 195 21 751 A 1

⑤① Int. Cl.⁸:
H 01 L 29/739
H 01 L 23/485

②① Aktenzeichen: 195 21 751.9
②② Anmeldetag: 14. 6. 95
②③ Offenlegungstag: 1. 2. 96

DE 195 21 751 A 1

③① Unionspriorität: ②② ③③ ③①
24.08.94 US 265397

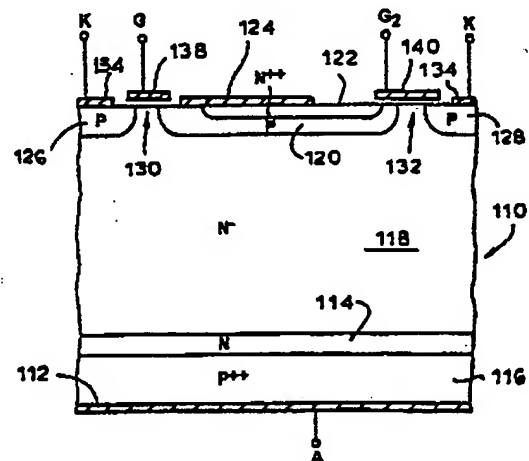
⑦① Anmelder:
International Rectifier Corp., El Segundo, Calif., US

⑦④ Vertreter:
G. Koch und Kollegen, 80339 München

⑦② Erfinder:
Ajit, Janardhanan S., Redondo Beach, Calif., US

⑥④ MOS-gesteuerter Thyristor

- ⑥⑦ Ein MOS-gesteuerter Transistor weist eine Stromsättigungscharakteristik, jedoch keine parasitäre Thyristorstruktur auf.
Bei manchen Ausführungsformen weist das Bauteil zwei Gateansteuerungen auf und bildet ein Bauteil mit vier Anschlüssen. Bei anderen Ausführungsformen erfordert das Bauteil lediglich eine einzige Gateansteuerung und ist ein Bauteil mit drei Anschlüssen.
Das Bauteil kann mit einer zellenförmigen Geometrie aufgebaut werden. Bei allen Ausführungsformen weist das Bauteil verbesserte Abschalt Eigenschaften und einen größeren Arbeitsbetriebsbereich auf, weil die N^{++} -Emitter-/P-Basis-Grenzschicht während des Abschaltens in Sperrichtung vorgespannt wird.



DE 195 21 751 A 1

Die vorliegende Erfindung bezieht sich auf einen MOS-gesteuerten Thyristor der im Oberbegriff des Anspruchs 1 genannten Art.

Leistungshalbleiter-Strukturen, die bipolare Leistungsmechanismen mit einer MOS-Steuerung kombinieren, sind gut bekannt. Der ein isoliertes Gate aufweisende Bipolartransistor (IGBT) ist ein Beispiel eines derartigen Bauteils, bei dem der Basisstrom einer bipolaren Struktur über einen integrierten MOSFET gesteuert wird. Der IGBT ist am besten für elektronische Hochspannungs-Leistungsanwendungen mit Sperrspannungen im Bereich von 600 Volt geeignet. IGBT-Bauteile, die höhere Spannungen verarbeiten können, weisen einen höheren Durchlaßspannungsabfall auf; was nachteilig ist. Weil ein niedrigerer Durchlaßspannungsabfall dadurch erzielbar ist, daß der Einschaltstrom durch eine Thyristorstruktur geleitet wird, haben Thyristoren mit einem MOS-Gate beträchtliche Aufmerksamkeit für Hochstrom-, Hochspannungs-Anwendungen gefunden.

Zwei Arten von Thyristoren mit MOS-Gate sind der MOS-gesteuerte Thyristor (MCT) und der emittergeschaltete Thyristor (EST). Bei dem MCT, wie er in einer Veröffentlichung von V.A.K. Temple, IEEE International Electron Device Meeting (IEDM) Technical Digest, San Francisco (Dezember 1984), Seiten 282-285 beschrieben ist, wird ein Kathodenkurzschluß über ein MOS-Gate geschaltet. Die kommerzielle Entwicklung des MCT wurde jedoch durch die komplizierten Herstellungsforderungen und Stromfadenbildungsprobleme beim Abschalten beeinträchtigt, und weiterhin weist dieses Bauteil keine Stromsättigungscharakteristik auf.

Der EST, wie er in Fig. 1 gezeigt ist, besteht grundlegend aus einem MOSFET in Serie mit einem Thyristor, und er wird als "emittergeschaltet" bezeichnet. Der EST eignet sich als solcher für eine leichtere Herstellung als der MCT. Obwohl der EST eine Stromsättigungscharakteristik aufweist, weist er andererseits den Nachteil eines inhärenten parasitären Thyristors auf, der in Fig. 1 gezeigt ist und einen Nebenschluß für den Gate-gesteuerten n-Kanal-MOSFET bildet.

Entsprechend liegt vorliegenden Erfindung die Aufgabe zu Grunde, einen EST zu schaffen, der eine Stromsättigungscharakteristik aufweist, jedoch nicht durch eine parasitäre Thyristorstruktur in dem Bauteil beeinträchtigt ist.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Die vorliegende Erfindung beseitigt die Nachteile des Standes der Technik und löst die vorstehende Aufgabe dadurch, daß ein MOS-gesteuerter Thyristor geschaffen wird, der bei einer ersten Ausführungsform eine Scheibe aus Halbleitermaterial mit ersten und zweiten, mit Abstand voneinander angeordneten, parallelen ebenen Oberflächen aufweist. Eine relativ leicht dotierte Schicht vom N-Leitungstyp erstreckt sich von der ersten Halbleiteroberfläche, während eine Schicht vom P-Leitungstyp sich von der zweiten Halbleiteroberfläche aus erstreckt.

Eine Basis vom P-Leitungstyp ist in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet und erstreckt sich von der ersten Halbleiteroberfläche zu einer ersten Tiefe unterhalb der ersten Halbleiteroberfläche. Ein in der Basis vom P-Leitungstyp ausgebildeter Emitterbereich vom N-Leitungstyp erstreckt sich von

der ersten Halbleiteroberfläche bis zu einer zweiten Tiefe unterhalb der Halbleiteroberfläche, die flacher ist, als die erste Tiefe, um eine N-Emitter-P-Basis-Grenzschicht zu bilden, wobei der Emitterbereich vom N-Leitungstyp radial nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang von Kanten der Basis vom P-Leitungstyp angeordnet ist, derart, daß sich die Kanten der Basis vom P-Leitungstyp zu der ersten Halbleiteroberfläche erstrecken, wodurch ein erster Kanalbereich entlang der ersten der Kanten gebildet wird. Ein Metallstreifen ist auf der ersten Halbleiteroberfläche angeordnet und verbindet den Emitterbereich mit der Basis vom P-Leitungstyp entlang einer zweiten der Kanten.

Erste und zweite Bereiche vom P-Leitungstyp sind in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet und erstrecken sich von der ersten Oberfläche der Halbleiterscheibe aus. Die ersten und zweiten Bereiche vom P-Leitungstyp sind mit seitlichem Abstand von den zweiten bzw. ersten Kanten der Basis vom P-Leitungstyp angeordnet, derart, daß die relativ leicht dotierte Schicht vom N-Leitungstyp, die sich durch diese hindurch zur ersten Halbleiteroberfläche erstreckt, zweite und dritte Kanalbereiche bildet.

Eine erste Gate-Isolierschicht ist auf der ersten Halbleiteroberfläche angeordnet und erstreckt sich über zumindestens den zweiten Kanalbereich. Eine erste Gate-Elektrode ist auf der ersten Gate-Isolierschicht angeordnet und liegt über dem zweiten Kanalbereich.

Eine zweite Gate-Isolierschicht ist auf der ersten Halbleiteroberfläche angeordnet und erstreckt sich über zumindestens die ersten und dritten Kanalbereiche. Eine zweite Gate-Elektrode ist auf der zweiten Gate-Isolierschicht angeordnet und liegt über den ersten und dritten Kanalbereichen.

Eine Anodenelektrode ist mit der auf der zweiten Halbleiteroberfläche angeordneten Schicht vom P-Leitungstyp verbunden. Eine Kathodenelektrode ist mit den ersten und zweiten Bereichen vom P-Leitungstyp auf der ersten Halbleiteroberfläche verbunden.

Der MOS-gesteuerte Thyristor der vorliegenden Erfindung schließt vorzugsweise weiterhin eine Schicht vom N-Leitungstyp ein, die zwischen der Schicht vom P-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet ist. Die Schicht vom P-Leitungstyp und der Emitter vom N-Leitungstyp sind vorzugsweise relativ stark dotiert.

Bei dem vorstehend beschriebenen MOS-gesteuerten Thyristor der ersten Ausführungsform weist der Emitter vom N-Leitungstyp eine seitliche Länge auf, die einen ausreichenden Spannungsabfall in der Basis vom P-Leitungstyp hervorruft, um die N-Emitter-/P-Basis-Grenzschicht in Durchlaßrichtung vorzuspannen, wenn sich der Thyristor in einem Einschaltzustand befindet, was erforderlich ist, um den Thyristor in eingeschaltetem Zustand zu verriegeln. Entsprechend muß die Basis vom P-Leitungstyp bei leichter Dotierung relativ lang gemacht werden. Eine alternative Ausführungsform beseitigt diese Notwendigkeit.

Bei der alternativen Ausführungsform sind die ersten und zweiten Bereiche vom P-Leitungstyp benachbart zueinander und mit seitlichem Abstand voneinander angeordnet, und lediglich der zweite Bereich vom P-Leitungstyp befindet sich benachbart zu und in seitlichem Abstand von dem Basisbereich vom P-Leitungstyp. Ein dritter Bereich vom P-Leitungstyp ist benachbart zu und mit seitlichem Abstand von dem Basisbereich vom P-Leitungstyp angeordnet. Das Metallband verbindet

bei dieser Ausführungsform den Emitter vom N-Leitungstyp mit dem zweiten Basisbereich vom P-Leitungstyp. Ein erstes isoliertes Gate liegt über dem Kanalbereich in der Schicht vom N-Leitungstyp zwischen den ersten und zweiten Bereichen vom P-Leitungstyp, und ein zweites isoliertes Gate liegt über dem Kanalbereich in der Schicht vom N-Leitungstyp zwischen dem zweiten Bereich vom P-Leitungstyp und der Basis vom P-Leitungstyp. Das zweite isolierte Gate liegt weiterhin über dem Kanalbereich, der an der Kante der Basis vom P-Typ zwischen dem Emitter vom N-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp gebildet ist. Ein drittes isoliertes Gate liegt über dem Kanalbereich in der Schicht vom N-Leitungstyp zwischen der Basis vom P-Leitungstyp und dem dritten Bereich vom P-Leitungstyp. Das dritte isolierte Gate liegt weiterhin über dem Kanalbereich, der an der zweiten Kante der Basis vom P-Leitungstyp zwischen dem Emitter vom N-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp gebildet ist. Das dritte isolierte Gate ist elektrisch mit dem zweiten isolierten Gate verbunden, oder wahlweise kann das zweite isolierte Gate schwimmend gelassen werden oder fehlen. Die ersten und dritten Bereiche vom P-Leitungstyp werden durch das Kathodenmetall auf der ersten Halbleiteroberfläche kontaktiert. Eine Anodenelektrode ist mit der Schicht vom P-Leitungstyp verbunden, die auf der zweiten Halbleiteroberfläche angeordnet ist.

Wie bei der ersten Ausführungsform ist vorzugsweise eine Schicht vom N-Leitungstyp zwischen der Schicht vom P-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet.

Die ersten, zweiten und dritten Bereiche vom P-Leitungstyp und die Basis vom P-Leitungstyp sind vorzugsweise relativ stark dotiert, und die Schicht vom P-Leitungstyp und der Emitter vom N-Leitungstyp sind vorzugsweise sehr stark dotiert. Wahlweise kann ein relativ leicht dotierter Bereich vom P-Leitungstyp in dem Kanalbereich zwischen den ersten und zweiten Bereichen vom P-Leitungstyp vorgesehen sein, um einen p-Kanal-Verarmungs-MOSFET zu bilden. Weiterhin kann wahlweise der dritte Bereich vom P-Leitungstyp fortgelassen werden.

Sowohl die erste als auch die zweite Ausführungsform der Erfindung, wie sie vorstehend beschrieben wurden, erfordern zwei Gates und führen daher zu Bauteilen mit vier Anschlüssen. Bei einer dritten Ausführungsform der Erfindung ist lediglich ein Gate erforderlich.

Bei der dritten Ausführungsform wird eine Senke vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet und erstreckt sich bis zu einer ersten Tiefe unterhalb der oberen Oberfläche der Halbleiterscheibe. Eine Senke vom N-Leitungstyp ist in der Senke vom P-Leitungstyp ausgebildet, wobei die Senke vom N-Leitungstyp radial nach innen entlang der oberen Oberfläche der Halbleiterscheibe mit Abstand von einer Kante der Senke vom P-Leitungstyp angeordnet ist, wodurch ein erster Kanalbereich gebildet wird, der in der Senke vom P-Leitungstyp angeordnet ist. Eine Basis vom P-Leitungstyp ist in der Senke vom N-Leitungstyp ausgebildet, wobei die Basis vom P-Leitungstyp in Radialrichtung nach innen entlang der oberen Oberfläche der Halbleiterscheibe mit Abstand von einer Kante der Senke vom N-Leitungstyp angeordnet ist, wodurch ein zweiter Kanalbereich gebildet wird, der in der Senke vom N-Leitungstyp angeordnet ist. Schließlich ist ein Source-Bereich vom N-Leitungstyp in

der Basis vom P-Leitungstyp angeordnet, wobei der Source-Bereich vom N-Leitungstyp in Radialrichtung nach innen entlang der oberen Oberfläche der Halbleiterscheibe mit Abstand von einer Kante der Basis vom P-Leitungstyp angeordnet ist, wodurch ein dritter Kanalbereich gebildet wird, der in der Basis vom P-Leitungstyp angeordnet ist.

Ein Bereich vom P-Leitungstyp ist in der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet, wobei der Bereich vom P-Leitungstyp mit seitlichem Abstand von der Kante der Senke vom P-Leitungstyp angeordnet ist, um einen vierten Kanalbereich zu bilden, der in der relativ leicht dotierten Schicht vom N-Leitungstyp zwischen dem Bereich vom P-Leitungstyp und der Senke vom P-Leitungstyp angeordnet ist.

Ein isoliertes Gate ist auf der oberen Oberfläche der Halbleiterscheibe angeordnet und liegt über den ersten, zweiten, dritten und vierten Kanalbereichen. Eine Anodenelektrode ist mit der Schicht vom P-Leitungstyp verbunden, die auf der Unterseite der Halbleiterscheibe angeordnet ist, während eine Kathodenelektrode mit der Basis vom P-Leitungstyp, der Source vom N-Leitungstyp und dem Bereich vom P-Leitungstyp auf der oberen Oberfläche der Halbleiterscheibe verbunden ist.

Wie bei den ersten und zweiten Ausführungsformen ist eine Schicht vom N-Leitungstyp vorzugsweise zwischen der Schicht vom P-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet. Die Schicht vom P-Leitungstyp und die Source vom N-Leitungstyp sind vorzugsweise sehr stark dotiert. Das Bauteil gemäß der dritten Ausführungsform ist vorzugsweise in einer zellularen Geometrie ausgebildet, bei der die Senke vom P-Leitungstyp und der erste Bereich vom P-Leitungstyp jeweils Zellen bilden, wobei die Zellen vorzugsweise vieleckig sind, Seite an Seite in einer symmetrischen Anordnung angeordnet sind und eine vieleckige Form mit einem darüberliegenden Elektrodengitter aufweisen. Wahlweise können der Bereich vom P-Leitungstyp und der zugehörige vierte Kanalbereich fortgelassen werden.

Bei der vierten Ausführungsform ist das Bauteil aus einer Anordnung von Zellengruppen gebildet. Bei dieser Ausführungsform ist eine Senke vom P-Leitungstyp in der Schicht vom N-Leitungstyp ausgebildet und erstreckt sich bis zu einer ersten Tiefe unterhalb der oberen Oberfläche der Halbleiterscheibe. Eine Senke vom N-Leitungstyp ist in einem Abschnitt innerhalb der Senke vom P-Leitungstyp ausgebildet, wobei die Senke vom N-Leitungstyp in Radialrichtung nach innen entlang der oberen Oberfläche der Halbleiterscheibe mit Abstand von einer Kante der Senke vom P-Leitungstyp angeordnet ist, wodurch ein erster Kanalbereich gebildet wird, der in der Senke vom P-Leitungstyp angeordnet ist. Eine Basis vom P-Leitungstyp ist in einem Abschnitt innerhalb der Senke vom N-Leitungstyp ausgebildet, wobei die Basis vom P-Leitungstyp in Radialrichtung nach innen entlang der oberen Oberfläche des Halbleiterplättchens mit Abstand von einer Kante der Senke vom N-Leitungstyp angeordnet ist, wodurch ein zweiter Kanalbereich gebildet wird, der in der Senke vom N-Leitungstyp angeordnet ist. Ein Source-Bereich vom N-Leitungstyp ist in der Basis vom P-Leitungstyp ausgebildet, wobei der Source-Bereich vom N-Leitungstyp in Radialrichtung nach innen mit Abstand entlang der oberen Oberfläche der Halbleiterscheibe von einer Kante der Basis vom P-Leitungstyp angeordnet ist, wodurch ein dritter Kanalbereich gebildet wird, der in der Basis vom P-Leitungstyp angeordnet ist. Schließ-

lich ist ein Emitterbereich vom N-Leitungstyp in einem Abschnitt innerhalb der Senke vom P-Leitungstyp ausgebildet, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der oberen Oberfläche der Halbleiterschleibe mit Abstand von einer Kante der Basis vom P-Leitungstyp angeordnet ist, wodurch ein vierter Kanalbereich gebildet wird, der in der Senke vom P-Leitungstyp angeordnet ist.

Ein Bereich vom P-Leitungstyp ist in der Schicht vom N-Leitungstyp ausgebildet, wobei der Bereich vom P-Leitungstyp mit seitlichem Abstand von der Kante der Senke vom P-Leitungstyp angeordnet ist, um einen fünften Kanalbereich zu bilden, der in der Schicht vom N-Leitungstyp zwischen dem Bereich vom P-Leitungstyp und der Senke vom P-Leitungstyp angeordnet ist. Ein isoliertes Gate ist auf der oberen Oberfläche der Halbleiterschleibe angeordnet und liegt über den ersten, zweiten, dritten, vierten und fünften Kanalbereichen. Eine Anodenelektrode ist mit der Schicht vom P-Leitungstyp verbunden, die auf der unteren Oberfläche der Halbleiterschleibe angeordnet ist, während eine Kathodenelektrode mit der Basis vom P-Leitungstyp, der Source vom N-Leitungstyp und dem Bereich vom P-Leitungstyp auf der oberen Oberfläche der Halbleiterschleibe verbunden ist.

Wie bei den ersten und zweiten Ausführungsformen ist eine Schicht vom N-Leitungstyp vorzugsweise zwischen der Schicht vom P-Leitungstyp und der Schicht vom N-Leitungstyp angeordnet. Die Schicht vom P-Leitungstyp und die Source und der Emitter vom N-Leitungstyp sind vorzugsweise sehr hoch dotiert.

Die vierte Ausführungsform der Erfindung weist vorzugsweise die Form einer Anordnung von Zellen auf, bei denen die Senke vom P-Leitungstyp, die Senke vom N-Leitungstyp, die Basis vom P-Leitungstyp und die Source vom N-Leitungstyp eine erste Zelle bilden, während der Emitter vom N-Leitungstyp, der in der Senke vom P-Leitungstyp angeordnet ist, eine zweite Zelle bildet und der Bereich vom P-Leitungstyp eine dritte Zelle bildet, wobei die Zellen Seite an Seite in einer symmetrischen Anordnung angeordnet sind und eine vieleckige Form aufweisen.

In vorteilhafter Weise weisen alle Ausführungsformen der vorliegenden Erfindung eine Stromsättigungscharakteristik ohne jede parasitäre Thyristorstruktur auf. Durch die vorliegende Erfindung wird ein überrasgendes Einschalten und ein größerer sicherer Betriebsbereich erzielt, weil bei allen Ausführungsformen die Emitter-/Basis-Grenzschicht während des Abschaltens in Sperrrichtung vorgespannt ist. Weiterhin können die Grenzschichtmuster sehr leicht hergestellt werden.

Weitere Merkmale und Vorteile der vorliegenden Erfindung werden aus der folgenden ausführlichen Beschreibung der Erfindung unter Bezugnahme auf die beigefügten Zeichnungen ersichtlich.

In den Zeichnungen zeigen:

Fig. 1 eine Querschnittsansicht eines typischen bekannten emittergeschalteten Thyristors (EST),

Fig. 2 eine Querschnittsansicht einer ersten Ausführungsform der vorliegenden Erfindung,

Fig. 3 eine Querschnittsansicht einer zweiten Ausführungsform der vorliegenden Erfindung,

Fig. 4 eine Querschnittsansicht einer Abänderung der Ausführungsform nach Fig. 3 ohne einen dritten Bereich vom P-Leitungstyp und ohne ein zugehöriges drittes Gate,

Fig. 5 eine Querschnittsansicht einer Abänderung der Ausführungsform nach Fig. 3 unter Verwendung eines

p-Kanal-Verarmungs-MOSFET,

Fig. 6 eine Querschnittsansicht einer Abänderung der Ausführungsform nach Fig. 4 unter Verwendung eines p-Kanal-Verarmungs-MOSFET,

Fig. 7 eine Querschnittsansicht einer dritten Ausführungsform der Erfindung, die lediglich eine einzige Gate-Ansteuerung benötigt,

Fig. 8A und 8B Draufsichten, die zwei unterschiedliche mögliche zelluläre Auslegungen der Ausführungsform nach Fig. 7 zeigen,

Fig. 9 eine Querschnittsansicht der drei Elemente oder Zellen, die bei ihrer Kombination in einer Gruppe eine vierte Ausführungsform der Erfindung bilden,

Fig. 9B eine Draufsicht auf eine Einheitsgruppe von Zellen,

Fig. 9C eine Querschnittsansicht entlang der Schnittlinie 1-1 nach Fig. 9,

Fig. 9D eine Querschnittsansicht entlang der Schnittlinie 2-2 nach Fig. 9B.

Eine erste Ausführungsform des MOS-gesteuerten Thyristors gemäß der vorliegenden Erfindung ist in Fig. 2 gezeigt. Der MOS-gesteuerte Thyristor 110 ist ein Bauteil mit vertikaler Stromleitung.

Eine Schicht 14 vom N-Leitungstyp und ein sehr stark dotierter P^{++} -Bereich 116 sind auf der Unterseite einer N^{-} -Schicht 118 angeordnet. Für Anwendungen bei niedrigeren Spannungen (< 1200 V), wird die N^{-} -Schicht 118 vorzugsweise epitaxial auf einem N -epi/ P^{++} -Substrat aufgewachsen. Für Anwendungen mit höheren Spannungen (> 1200 V) ist die N^{-} -Schicht 118 vorzugsweise das Substrat-Ausgangsmaterial und die N -Schicht 114 und der P^{++} -Bereich 116 sind rückseitige Diffusionen.

Eine Anodenelektrode 112 auf der unteren Oberfläche des Bauteils bedeckt den P^{++} -Bereich 116. Die Anodenelektrode 112 ist mit einem Anodenanschluß A verbunden.

Die Schichtdicken und Konzentrationen hängen von der Bauteil-Sperrspannung ab. Für ein Bauteil für 2500 V liegen die Dotierungsdichte und die Dicke des N^{-} -Driftbereiches im Bereich von $2 \times 10^{13} \text{ cm}^{-3}$ bzw. 500 pm. Die Dotierungsdichte des P^{++} -Bereiches 116 ist vorzugsweise größer als $5 \times 10^{19} \text{ cm}^{-3}$, bei einer Dicke von mehr als 1 pm. Die Dotierungsdichte der N -Schicht 114 ist vorzugsweise ungefähr $5 \times 10^{17} \text{ cm}^{-3}$, bei einer Dicke von ungefähr 7 pm.

In der N^{-} -Schicht 118 ist eine Basis 120 vom P-Leitungstyp angeordnet, die außerdem die Source des p-Kanal-MOSFETs des Bauteils bildet, wie dies weiter unten ausführlicher erläutert wird. Ein N^{++} -Emitterbereich 122 ist in der P-Basis 120 angeordnet und elektrisch mit dieser durch einen schwimmenden Metallstreifen 124 (der mit keiner Elektrode des Bauteils verbunden ist) auf der oberen Oberfläche des Bauteils kurzgeschlossen.

Die P-Basis 120 ist von P-Bereichen 126, 128 umgeben, ist jedoch von diesen durch relativ kleine Bereiche der N^{-} -Schicht 118 getrennt, die sich bis zur Oberfläche der Halbleiterschleibe erstrecken, um jeweilige Kanalbereiche 130, 132 zu bilden.

Eine Kathodenelektrode 134, die mit einem Kathodenanschluß K verbunden ist, stellt einen ohmschen Kontakt mit den P-Bereichen 126 und 128 her. Ein erstes isoliertes Gate 138, das mit einem Gateanschluß G_1 gekoppelt ist, liegt über dem Kanalbereich 130. Ein zweites isoliertes Gate 140, das mit einem Gateanschluß G_2 gekoppelt ist, liegt über dem Kanalbereich 132 und liegt zusätzlich über dem Teil der P-Basis 120 zwischen dem

N^{++} -Emitterbereich 122 und dem Kanalbereich 132 an der oberen Oberfläche der Halbleiterscheibe. Die Gates 138, 140 bestehen vorzugsweise aus Polysilizium, und sie sind von der oberen Oberfläche des Bauteils durch eine (in Fig. 2 nicht gezeigte) Oxydschicht isoliert.

Die Betriebsweise des in Fig. 2 gezeigten Bauteils ist wie folgt: Im Einschaltzustand (wobei sich die Anode 112 auf einem positiven Potential bezüglich der Kathode 134 befindet) sollte die an das Gate 138 angelegte Spannung ausreichend weit negativ bezüglich der Kathode 134 sein, um den p-Kanal-MOSFET unter dem Gate 138 einzuschalten, und die an das Gate 140 angelegte Spannung sollte ausreichend weit positiv sein, um den n-Kanal-MOSFET (in der P-Basis 120) unter dem Gate 140 einzuschalten. Hierdurch wird der Thyristor 110 in den eingeschalteten Zustand gezündet oder getriggert, indem ein Leitungspfad von der Anode zur Kathode (aufwärts in Fig. 2) über den P^{++} -Bereich 116, die N-Schicht 114, die N^{-} -Schicht 118, über den n-Kanal in der P-Basis 120 an der Oberfläche der Halbleiterscheibe (der durch das Gate 140 geschaffen wird), längs des N^{++} -Emitters 122, durch den Metallstreifen 124 zur P-Basis 120, über den p-Kanal (der durch das Gate 138 geschaffen wird) in den Kanalbereich 130 und durch den P-Bereich 126 zur Kathode 134 geschaffen.

Die seitliche Länge des N^{++} -Emitters 122 ist so ausgelegt, daß ein ausreichender Spannungsabfall geschaffen wird, so daß ein Teil der N^{++} -Emitter-/P-Basis-Grenzschicht in Durchlaßrichtung in den Einschaltzustand vorgespannt wird, um den durch die Bereiche 122, 120, 118, 114 und 116 gebildeten Thyristor einzuschalten, wodurch der Haupt-Thyristorstrom den n-Kanal unter dem Gate 140 umgeht und statt dessen direkt nach oben durch das Bauteil von dem P^{++} -Bereich 116 durch die Schichten 114, 118 und 120 zum N^{++} -Emitter 122 und dann durch den schwimmenden Metallstreifen 124 nach 120, dann durch den p-Kanal-MOSFET unter dem Gate 138 und dann durch den P-Bereich 126 zur Kathode 134 fließt.

Weil der p-Kanal-MOSFET unter dem Gate 138 in Serie mit dem Thyristor (116—114—118—120—122) liegt, ist der Strom durch das Bauteil durch den Sättigungsstrom des p-Kanal-MOSFETs unter dem Gate 138 begrenzt. Damit hat das Bauteil eine Stromsättigungscharakteristik. Der Sättigungsstrom hängt von der an das Gate 138 angelegten Spannung ab.

Zum Abschalten des Bauteils wird ein Potential von Null oder ein positives Potential gegenüber der Kathode an das Gate 138 angelegt (um den MOSFET unter dem Gate 138 abzuschalten), und ein ausreichend negatives Potential wird an das Gate 140 gegenüber der Kathode 134 angelegt (um den n-Kanal-MOSFET unter dem Gate 140 abzuschalten und den p-Kanal-MOSFET unter dem Gate 140 einzuschalten), wodurch die P-Basis 120 mit dem P-Bereich 128 gekoppelt wird, der seinerseits elektrisch mit der Kathode verbunden ist. Diese jeweiligen Potentiale an den Gates 138, 140 werden in dem Vorwärts-Sperrzustand (Anode auf einem positiven Potential gegenüber der Kathode) gehalten. Das negative Potential an dem Gate 140 führt zu einer hohen Durchbruchspannung für das Bauteil, weil hierdurch die P-Basis 120 des Thyristors auf einem niedrigeren Potential verglichen mit dem N^{++} -Emitter 122 gehalten wird.

Es sei bemerkt, daß während des Sperrzustandes in Durchlaßrichtung die N^{++} -Emitter/P-Basis-Grenzschicht in Sperrichtung vorgespannt ist. Durch die vorliegende Erfindung werden überragende Durchbruchs-

und Abschaltcharakteristiken und ein größerer sicherer Betriebsbereich erzielt, weil dies ähnlich zum Fall des Abschaltens mit offenem Emitter ist. In dieser Hinsicht, siehe beispielsweise die Veröffentlichung von B. Jackson und D. Chen, Effects of emitter-open switching on the turn-off characteristics of high voltage power transistors, Power Electronics Specialist Conference, Juni 1980.

Der Spannungsabfall des MOS-gesteuerten Hochspannungs-Thyristors gemäß der vorliegenden Erfindung ist gleich Summe des Spannungsabfalls längs des Hochspannungsthyristors

(112—116—114—118—120—122) und des Spannungsabfalls längs des Niederspannungs-p-Kanal-MOSFETs (120—130—126—134) unter dem Gate 138. Der Spannungsabfall längs des Hochspannungs-Thyristors steigt nicht wesentlich an, wenn das Bauteil für eine höhere Durchbruchspannung ausgelegt ist. Im Gegensatz hierzu steigt bei einem IGBT, der Durchlaßspannungsabfall an, wenn der IGBT für höhere Durchbruchspannungen ausgelegt ist. Dies ergibt sich daraus, daß bei dem IGBT lediglich der untere Teil des Driftbereiches hinsichtlich seiner Leitfähigkeit moduliert wird, während in einem Thyristor der gesamte Driftbereich in seiner Leitfähigkeit moduliert wird. Entsprechend weist in vorteilhafter Weise der MOS-gesteuerte Thyristor gemäß der vorliegenden Erfindung einen geringeren Durchlaßspannungsabfall als ein IGBT für den gleichen Strom bei einer höheren Durchbruchspannung (> 1200 V) aufweisen. Dies stellt einen wesentlichen Vorteil verglichen mit einem MCT dar. Weiterhin weist die vorliegende Erfindung in vorteilhafter Weise keine parasitäre Thyristorstruktur auf, die das Betriebsverhalten beeinträchtigen würde. Dies stellt einen wesentlichen Vorteil verglichen mit den bekannten EST's dar.

Zusätzlich erfordert die vorliegende Erfindung in vorteilhafter Weise keinen Kurzschlußschutz aufgrund der dem bauteileigenen Einschaltstrom-Sättigungscharakteristiken, wie sie weiter oben beschrieben wurden. Dies stellt einen wesentlichen Vorteil verglichen mit einem MCT dar. Weiterhin weist die vorliegende Erfindung in vorteilhafter Weise keine parasitäre Thyristorstruktur auf, die das Betriebsverhalten beeinträchtigen würde. Dies stellt einen wesentlichen Vorteil verglichen mit den bekannten EST's dar.

Schließlich ergibt der erfindungsgemäße Thyristor in vorteilhafter Weise geringere Abschaltverluste als ein MCT. Wie dies weiter oben erwähnt wurde, ist bei dem Bauteil gemäß der vorliegenden Erfindung die P-Basis über den lateralen p-Kanal-MOSFET mit Erdpotential verbunden, wobei die N^{++} -Emitter-/P-Basis-Grenzschicht in Sperrichtung vorgespannt wird. Hierdurch wird der NPN-Transistor inaktiviert, weil eine Basis-Sperransteuerung geliefert wird, was zu einer schnelleren Unterbrechung der Thyristorwirkung verglichen mit einem MCT und damit zu einem schnelleren Absinken des Stromes führt. Die Abschaltzeit des Bauteils gemäß der vorliegenden Erfindung liegt daher nahe an der Schaltzeit eines IGBT (der angenähert die Abschaltzeit eines PNP-Transistors mit offener Basis aufweist).

Die vorstehend beschriebene und in Fig. 2 gezeigte Ausführungsform der vorliegenden Erfindung beruht auf dem seitlichen Spannungsabfall längs der P-Basis 120 zur Vorspannung des NPN-Transistors in Durchlaßrichtung zum Verriegeln des Thyristors.

Entsprechend muß die P-Basis 120 bei einer schwachen Dotierung relativ lang gemacht werden. Eine alternative Ausführungsform, die in Fig. 3 gezeigt ist, beseitigt diese Notwendigkeit.

Wie im Fall der Fig. 2 ist der MOS-gesteuerte Thyristor 210 nach Fig. 3 ein Bauteil mit vertikaler Stromleitung mit einer N-Schicht 214 und einem sehr hoch dotierten P^{++} -Bereich 216, die auf der Unterseite einer

N⁻-Schicht 218 angeordnet sind. Eine Anode 212 auf der unteren Oberfläche des Bauteils bedeckt den P⁺⁺-Bereich 216. Die Dicken der Schichten und die Konzentrationen hängen von der Sperrspannung des Bauteils ab und sind die gleichen wie bei dem Bauteil nach Fig. 2.

In der N⁻-Schicht 218 sind folgende Elemente angeordnet:

1) eine P⁺-Basis 221; 2) ein P⁺-Bereich 219, der die Source des p-Kanal-MOSFETs des Bauteils bildet, wie dies weiter unten ausführlicher erläutert wird; 3) P⁺-Bereiche 226 und 228, die die jeweiligen Drainbereiche von p-Kanal-MOSFETs des Bauteils bilden, wie dies ausführlicher weiter unten erläutert wird.

Ein N⁺⁺-Emitterbereich 222 ist innerhalb einer P⁺-Basis 221 angeordnet und elektrisch mit einem P⁺-Bereich 219 durch einen schwimmenden Metallstreifen 224 (der mit keiner Elektrode des Bauteils verbunden ist) auf der oberen Oberfläche des Bauteils kurzgeschlossen.

Die P⁺-Bereiche 226 und 219, die P⁺-Bereiche 221 und 228 sind durch relativ kleine Bereiche der N⁻-Schicht 218 getrennt die sich zur Oberfläche des Halbleiterplättchens erstrecken, um jeweilige Kanalbereiche 230, 231, 233 zu bilden.

Eine Kathodenelektrode 234 ergibt einen ohmschen Kontakt mit den P⁺-Bereichen 226 und 228. Ein erstes isoliertes Gate 238 liegt über dem Kanalbereich 230. Ein zweites isoliertes Gate 240 liegt über dem Kanalbereich 233 und liegt zusätzlich über dem Teil der P⁺-Basis 221 zwischen dem N⁺⁺-Emitterbereich 222 und dem Kanalbereich 233 an der oberen Oberfläche der Halbleiterscheibe. Ein drittes isoliertes Gate 241 liegt über dem Kanalbereich 231 und liegt zusätzlich über der Position der P⁺-Basis 221 zwischen dem N⁺⁺-Emitterbereich 222 und dem Kanalbereich 231 auf der oberen Oberfläche der Halbleiterscheibe. Die Gates 238, 240, 241 bestehen vorzugsweise aus Polysilicium und sind gegenüber der oberen Oberfläche des Bauteils durch eine (in Fig. 5 nicht gezeigte) Oxidschicht isoliert. Die Gates 240 und 241 können elektrisch miteinander verbunden sein.

Die Betriebsweise des in Fig. 3 gezeigten Bauteils 210 ist wie folgt: im Einschaltzustand (bei dem sich die Anode 212 auf einem positiven Potential gegenüber der Kathode 234 befindet) sollte die an das Gate 238 angelegte Spannung gegenüber der Kathode 234 ausreichend negativ sein, um den p-Kanal-MOSFET unter dem Gate 238 einzuschalten, und die an die Gates 241, 240 angelegte Spannung sollte ausreichend positiv sein, um die n-Kanal-MOSFETs (in der P⁺-Basis 221) unter den Gates 241 und 240 einzuschalten.

In diesem Fall ist der N⁺⁺-Emitter 222 über den Metallstreifen 224 und über den lateralen PMOS, der durch die Inversion des Kanalbereiches 230 gebildet wird, mit Erdpotential verbunden, und die Basisansteuerung der den vertikalen PNP-Transistor, der durch die Schichten 216—214—218—221 gebildet ist, wird über die n-Kanal-MOSFETs unter den Gates 240, 241 geliefert. Wenn die P⁺⁺-Bereichs-/N-Grenzschicht durch ungefähr 0,7 Volt in Durchlaßrichtung vorgespannt ist, beginnt der P⁺⁺-Bereich 216 mit der Injektion von Löchern, wodurch die Basisansteuerung für den NPN-Transistor geliefert wird, der durch die Schichten 222—221—218—214 gebildet ist, was bewirkt, daß der Thyristor, der durch die Schichten 216—214—218—221—222 gebildet ist, in den verriegelten Zustand übergeht.

Auf diese Weise wird somit der Thyristor 210 in den

Einschaltzustand getriggert, in dem ein Leitungspfad von der Anode zu der Kathode (nach oben in Fig. 3) über den P⁺⁺-Bereich 216, die N-Schicht 214, die N⁻-Schicht 218, durch die n-Kanäle in der P⁺-Basis 221 an der Oberfläche der Halbleiterscheibe (die durch die Gates 241 und 240 geschaffen werden), längs des N⁺⁺-Emitters 222, über den Metallstreifen 224 zum P⁺-Bereich 219, durch den p-Kanal (der durch das Gate 238 erzeugt wird) in den Kanalbereich 230 und über den P⁺⁺-Bereich 226 zur Kathode 234 geschaffen wird.

Nachdem der durch die Bereiche 216, 214, 218, 221 und 222 gebildete Thyristor eingeschaltet ist, umgeht ein größerer Teil des Stromes den n-Kanal unter den Gates 241 und 240 und fließt statt dessen direkt nach oben durch das Bauteil von dem P⁺⁺-Bereich 216 durch die Bereiche 214, 218, 221 zu dem N⁺⁺-Emitter 222 und dann durch den schwimmenden Metallstreifen 224 zum P⁺-Bereich 219, durch den p-Kanal-MOSFET unter dem Gate 238 zum P⁺-Bereich 226 und dann zur Kathode 234. Weil der p-Kanal-MOSFET unter dem Gate 238 in Serie mit dem Thyristor (216—214—218—221—222) geschaltet ist, ist der Strom durch das Bauteil durch den Sättigungsstrom des p-Kanal-MOSFETs unter dem Gate 238 begrenzt. Damit weist das Bauteil nach Fig. 3 ebenso wie das Bauteil nach Fig. 2 eine Stromsättigungscharakteristik auf. Der Sättigungsstrom hängt von der an das Gate 238 angelegten Spannung ab. In vorteilhafter Weise kann der Thyristor einfach dadurch abgeschaltet werden, daß lediglich die Spannungen der Gates 238, 240, 241 auf Null verringert werden.

Um das Bauteil schneller abzuschalten, wird ein Potential von Null oder ein positives Potential gegenüber der Kathode an das Gate 238 (zum Abschalten des MOSFET unter dem Gate 238) und ein ausreichend negatives Potential an das Gate 240 und 241 bezüglich der Kathode 234 angelegt (um die n-Kanal-MOSFETs unter dem Gate 240 und 241 abzuschalten und um den p-Kanal-MOSFET 240 einzuschalten) wodurch die P⁺-Basis 221 mit dem P⁺⁺-Bereich 228 gekoppelt wird, der seinerseits elektrisch mit der Kathode verbunden ist. Diese jeweiligen Potentiale an den Gates 238, 240, 241 werden in dem Durchlaß-Sperrzustand aufrechterhalten (Anode auf einem positiven Potential gegenüber der Kathode). Das negative Potential an dem Gate 240 führt zu einer hohen Durchbruchspannung für das Bauteil, weil hierdurch die P⁺-Basis 221 des Thyristors auf einem niedrigeren Potential verglichen mit dem N⁺⁺-Emitter 222 gehalten wird.

Fig. 4 zeigt eine Abänderung der Struktur der Fig. 3, bei der der P⁺-Bereich 228, dazugehörige Kathoden-Metallkontakt 234 an diesen Bereich, das Gate 240 und der Kanalbereich 233 fortgelassen sind. Bei dieser Ausführungsform wird während des Abschaltens und des Durchlaß-Sperrzustandes der N⁺⁺-Emitter 222 lediglich über den schwimmenden Metallstreifen 224 und den p-Kanal-Bereich 231 unter dem Gate 241 gegenüber der P⁺-Basis 221 kurzgeschlossen.

Eine weitere Abänderung der Struktur der Fig. 3 ergibt sich dadurch, daß das Gate 241 fortgelassen wird oder es elektrisch schwimmend gehalten wird.

Eine weitere Abänderung der Struktur nach Fig. 3 ist in Fig. 5 gezeigt, die einen Verarmungs-p-Kanal-MOSFET verwendet, der durch die Ausbildung eines P⁻-Bereiches 242 zwischen den P⁺-Bereichen 219, 226 an der oberen Oberfläche der Halbleiterscheibe geschaffen wird. Bei dieser Ausführungsform kann das Gate 238 im Einschaltzustand auf Null Volt gegenüber der Kathode eingestellt werden. In dem Abschaltzustand muß bei

dieser Ausführungsform das Gate 238 ausreichend positiv gegenüber der Kathode sein, um den P⁻-Bereich vollständig abzuschneiden.

Fig. 6 zeigt eine Abänderung der Struktur nach Fig. 4 unter Verwendung eines Verarmungs-p-Kanal-MOSFET, der durch Eindiffundieren eines P⁻-Bereiches 242 zwischen den P⁺-Bereichen 219, 226 an der oberen Oberfläche der Halbleiterscheibe geschaffen wird. Bei dieser Ausführungsform kann ebenso wie bei der Ausführungsform nach Fig. 5 das Gate 238 im Einschaltzustand auf Null Volt gegenüber der Kathode eingestellt werden. Im Abschaltzustand muß das Gate 238 ausreichend positiv gegenüber der Kathode sein, um den P⁻-Bereich vollständig abzuschneiden.

Die vorstehend beschriebenen und in den Fig. 2-6 gezeigten Ausführungsformen der Erfindung benötigen zwei getrennte Gates und ergeben damit ein Bauteil mit vier Anschlüssen. Eine abgeänderte Ausführungsform der Erfindung, die in Fig. 7 gezeigt ist, verwendet eine einzige Gate-Ansteuerung und ergibt damit eine Struktur mit drei Anschlüssen. Wie bei den Bauteilen nach den Fig. 2-6 ist der MOS-gesteuerte Thyristor 310 nach Fig. 7 ein Bauteil mit vertikaler Stromleitung mit einer N-Schicht 314 und einem sehr stark dotierten P⁺-Bereich 316, die auf der Unterseite einer N⁻-Schicht 318 angeordnet sind. Wie bei den vorhergehenden Ausführungsformen bedeckt eine Anode 312 an der unteren Oberfläche des Bauteils den P⁺-Bereich 316.

In der N⁻-Schicht 318 ist eine sich von der oberen Oberfläche des Bauteils nach unten hin erstreckende P-Senke 320 angeordnet, die die Source eines p-Kanal-MOSFETs und den Kanalbereich 328 eines n-Kanal-MOSFETs bildet, wie dies weiter unten ausführlich beschrieben wird. In der P-Senke 320 ist eine N-Senke 322 angeordnet, die den Drainbereich des n-Kanal-MOSFETs und den Kanalbereich 330 eines p-Kanal-MOSFETs bildet, auf den vorstehend Bezug genommen wurde und der weiter unten beschrieben wird. Die N-Senke 322 ist in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von den Kanten der P-Senke 320 angeordnet, wodurch der Kanalbereich 328 eines n-Kanal-MOSFETs in der P-Senke gebildet wird.

In der N-Senke 322 ist eine Basis 324 vom P-Leitungstyp angeordnet, die den Kanalbereich 332 eines n-Kanal-MOSFETs bildet, wie dies ebenfalls weiter unten beschrieben wird. Die P-Basis 324 ist in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von den Kanten der N-Senke 322 angeordnet, wodurch der Kanalbereich 330 eines p-Kanal-MOSFETs in der N-Senke gebildet wird. Die P-Basis 324 erstreckt sich entlang der oberen Oberfläche der Halbleiterscheibe und wird durch eine Kathodenelektrode 334 kontaktiert. Ein N⁺-Sourcebereich 323 ist innerhalb der P-Basis 324 angeordnet und wird ebenfalls entlang seiner oberen Oberfläche durch die Kathodenelektrode 334 kontaktiert. Die N⁺-Source 323 ist in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von den Kanten der P-Basis 324 angeordnet, wodurch ein Kanalbereich 332 eines n-Kanal-MOSFET in der P-Basis gebildet wird.

Ein P-Bereich 326 erstreckt sich von der oberen Oberfläche der Halbleiterscheibe aus nach unten und ist von der P-Senke 320 durch einen Teil einer N⁻-Epitaxialschicht 318 getrennt, die sich bis zur Oberfläche der Halbleiterscheibe erstreckt, um einen Kanalbereich 336 zu bilden. Der P-Bereich 326 steht in elektrischem Kon-

takt mit der Kathodenelektrode 334.

Ein einziges isoliertes Gate 338 liegt über dem Kanalbereich 336 und erstreckt sich weiterhin seitlich über die Kanalbereiche 328, 330 und 332. Das Gate 338 besteht vorzugsweise aus Polysilicium und ist gegenüber der oberen Oberfläche des Bauteils durch eine (in Fig. 7 nicht gezeigte) Isolierschicht isoliert.

Die Betriebsweise des in Fig. 7 gezeigten Bauteils 310 ist wie folgt: Im Einschaltzustand (bei dem sich die Anode 312 auf einem positiven Potential gegenüber der Kathode 334 befindet) sollte die an das Gate 338 angelegte Spannung ausreichend positiv gegenüber der Kathode sein, um die Kanalbereiche 328 und 332 zu invertieren und damit die beiden n-Kanal-MOSFETs unter dem Gate einzuschalten, wodurch ein Durchlaß-Leitungspfad zur N⁺-Source 323 geschaffen wird, die, wie dies weiter oben erwähnt wurde und wie dies in Fig. 7 gezeigt ist, in elektrischem Kontakt mit der Kathode 334 steht. Dies ergibt die Basisansteuerung für den PNP-Transistor (der durch die Schichten 316-314-318-320 gebildet ist), um den Thyristor zu verriegeln. Das Bauteil arbeitet somit als ein (durch die Schichten 316-314-318-320-322 gebildeter) Thyristor in Serie mit einem (durch die Schichten 322-332-323 gebildeten) n-Kanal-MOSFET im Einschaltzustand.

Um das Bauteil abzuschalten, sollte die Spannung an dem Gate 338 gegenüber der Kathode 334 ausreichend negativ gemacht werden, um die Kanalbereiche 330 und 336 zu invertieren, wodurch beide p-Kanal-MOSFETs unter dem Gate 338 eingeschaltet und die diffundierten P-Bereiche mit dem Kathoden-(Erd-)Potential verbunden werden. Wie bei den vorher beschriebenen Ausführungsformen weist der MOS-gesteuerte Thyristor nach Fig. 7 aufgrund der Serienschaltung des MOSFETs mit dem Thyristor eine Stromsättigungscharakteristik sowie ein schnelles Abschalten auf, weil der Thyristorstrom durch die Inversion der Kanalbereiche 336 und 330 sehr schnell nach Erde hin abgeleitet wird, wobei diese Inversion p-Kanäle erzeugt, die effektiv die P-Senke 320 gegenüber der Kathode 334 (Erde) kurzschließen.

Die in Fig. 7 gezeigte Ausführungsform der vorliegenden Erfindung kann mit einer zellularen oder zellenförmigen Auslegung ausgeführt werden, wie dies in den Draufsichten nach Fig. 8A und 8B gezeigt ist, in denen der vierschichtige P-Senkenbereich nach Fig. 7 als eine N⁺/P⁺/N/P-Zelle identifiziert ist. Bei der Auslegung nach Fig. 8A hat die Halbleiterscheibe 2/3 N⁺/P⁺/N/P-Zellen und 1/3 P⁺-Zellen. Jede N⁺/P⁺/N/P-Zelle weist drei benachbarte P⁺-Zellen auf. Fig. 8B zeigt die Draufsicht auf eine weitere mögliche zelluläre Auslegung für die Ausführungsform nach Fig. 7.

Eine weitere abgeänderte Ausführungsform der Erfindung, die in den Fig. 9A, 9B, 9C und 9D gezeigt ist, verwendet eine einzige Gateansteuerung und ergibt damit eine Struktur mit drei Anschlüssen. Diese Ausführungsform ist durch eine Anordnung von Gruppen von Zellen gebildet, wobei Fig. 9B eine Einheitsgruppe zeigt, wobei jede Gruppe aus den drei in Fig. 9A gezeigten Elementen gebildet ist, nämlich einer Emitterschaltzelle (ES), einer Emitterschaltzelle (ET) und einer P⁺-Zelle (P⁺). Die in Fig. 9B gezeigte Einheitszelle wird wiederholt, um den aktiven Bereich der Halbleiterscheibe zu bilden. Ein oder zwei Zeilen von P⁺-Zellen sind vorzugsweise am Rand des aktiven Bereiches der Halbleiterscheibe angeordnet.

Wie im Fall der Bauteile nach den Fig. 2-7 ist der

MOS-gesteuerte Thyristor 410 nach den Fig. 9A, 9B, 9C und 9D ein Bauteil mit vertikaler Stromleitung mit einer N-Schicht 414 und einem sehr stark dotierten P^{++} -Bereich 416, der auf der Unterseite eine N-Schicht 418 angeordnet ist. Wie bei den vorhergehenden Ausführungsformen bedeckt eine Anode 412 auf der unteren Oberfläche des Bauteils den P^{++} -Bereich 416.

Wie dies in den Fig. 9C und 9D gezeigt ist, ist innerhalb der N-Schicht 418 eine sich von der oberen Oberfläche des Bauteils aus nach unten erstreckende P-Senke 420 angeordnet, die die Source eines p-Kanal-MOSFETs und den Kanalbereich 428 eines n-Kanal-MOSFETs bildet, wie dies weiter unten ausführlicher beschrieben ist. In der P-Senke 420 ist eine N-Senke 422 angeordnet, die den Drainbereich des n-Kanal-MOSFETs bildet. In einem Bereich der N-Senke 422 ist eine P^{++} -Basis 424 angeordnet, die den Kanalbereich 432 eines n-Kanal-MOSFETs bildet, wie es wiederum weiter unten erläutert wird. Die P^{++} -Basis 424 erstreckt sich entlang der oberen Oberfläche der Halbleiterscheibe und wird durch eine Kathodenelektrode 434 kontaktiert. Der N^{++} -Sourcebereich 432 ist in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von den Kanten der P^{++} -Basis 424 angeordnet, wodurch ein Kanalbereich 432 eines n-Kanal-MOSFETs in der P^{++} -Basis gebildet wird. Ein N^{++} -Emitterbereich 444 ist in einer P-Senke 420 angeordnet und mit der N-Senke 422 verbunden. Der N^{++} -Emitterbereich 444 ist in Radialrichtung entlang der ersten Halbleiteroberfläche mit Abstand von zumindestens einer Kante der P-Senke 420 angeordnet, wodurch der Kanalbereich 428 eines n-Kanal-MOSFETs in der P-Senke gebildet wird.

Wie dies in Fig. 9D gezeigt ist, erstreckt sich ein P^{++} -Bereich 426 von der Oberfläche der Halbleiterscheibe aus nach unten und ist von der P-Senke 420 durch einen Abschnitt der N-Schicht 418 getrennt, die sich bis zur Oberfläche der Halbleiterscheibe nach oben erstreckt, um einen Kanalbereich 436 zu bilden. Der P^{++} -Bereich 426 ist elektrisch durch die Kathodenelektrode kontaktiert.

Eine Gitterstruktur eines einzigen isolierten Gates 438 liegt über dem Kanalbereich 436 und liegt außerdem über den Kanalbereichen 428 und 432. Das Gate 438 besteht vorzugsweise aus Polysilizium und ist von der oberen Oberfläche des Bauteils durch eine (nicht gezeigte) Oxidschicht isoliert.

Die Betriebsweise des in den Fig. 9A, 9B, 9C und 9D gezeigten Bauteils 410 ist wie folgt: im Einschaltzustand (bei dem die Anode 412 auf einem positiven Potential gegenüber der Kathode 434 liegt) sollte die an das Gate 438 angelegte Spannung ausreichend positiv gegenüber der Kathode sein, um die Kanalbereiche 428 und 432 zu invertieren und damit beide n-Kanal-MOSFETs unter dem Gate einzuschalten, wodurch ein Durchlaß-Leitungspfad zur N^{++} -Source 423 gebildet wird, die, wie dies weiter oben erwähnt und in Fig. 9C gezeigt ist, elektrisch durch die Kathode 434 kontaktiert ist. Dies ergibt die Basisansteuerung für den PNP-Transistor (416—414—418—420) zur Verriegelung des Thyristors. Das Bauteil arbeitet somit als ein Thyristor (der durch die Schichten 416—414—418—420—444 gebildet ist) in Serie mit einem n-Kanal-MOSFET (der durch 444—422—432—423 gebildet ist) im Einschaltzustand. Zum Abschalten des Bauteils sollte die Spannung an dem Gate 438 ausreichend negativ gegenüber der Kathode 434 gemacht werden, um den Kanalbereich 436 zu invertieren, wodurch der p-Kanal-MOSFET unter dem

Gate 438 eingeschaltet und die P-Senkenbereiche mit Kathoden-(Erd-)potential verbunden werden. Wie bei den vorher beschriebenen Ausführungsformen weist der MOS-gesteuerte Thyristor nach den Fig. 9A, 9B, 9C und 9D aufgrund der Serienschaltung des MOSFET mit dem Thyristor eine Stromsättigungscharakteristik auf, und er weist ein schnelles Abschalten auf, weil der Thyristorstrom sehr schnell durch die Inversion des Kanalbereiches 436 nach Erde hin abgeleitet wird, wobei ein p-Kanal geschaffen wird, der effektiv die P-Senke 420 mit der Kathode 434 (Erde) kurzschließt.

Obwohl die vorliegende Erfindung unter Bezugnahme auf spezielle Ausführungsformen beschrieben wurde sind vielfältige andere Abänderungen und Modifikationen für den Fachmann ohne weiteres zu erkennen, beispielsweise die Verwendung von grabenförmigen Gates an Stelle der an der Oberfläche angeordneten planaren Gates, sowie eine andere Gate- und Kanalbereichsauslegung.

Patentansprüche

1. MOS-gesteuerter Thyristor, mit:
einer Halbleiterscheibe aus Halbleitermaterial, die erste und zweite, mit Abstand voneinander angeordnete, parallele planare Oberflächen aufweist, wobei zumindest ein Teil der Dicke der Halbleiterscheibe, die sich von der ersten Halbleiteroberfläche aus erstreckt, eine relativ leicht dotierte Schicht vom N-Leitungstyp zur Aufnahme von Grenzschichten umfaßt, wobei zumindestens ein Teil der Dicke der Halbleiterscheibe, die sich von der zweiten Halbleiteroberfläche aus erstreckt, eine relativ hoch dotierte Schicht vom P-Leitungstyp umfaßt, dadurch gekennzeichnet, daß:
eine Basis vom P-Leitungstyp in der relativ leicht dotierten epitaxial abgeschiedenen Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer ersten Tiefe unterhalb der ersten Halbleiteroberfläche erstreckt,
ein Emitterbereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer zweiten Tiefe unterhalb der Halbleiteroberfläche erstreckt, die flacher ist, als die erste Tiefe um eine N-Emitter-/P-Basisgrenzschicht zu bilden, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang von Kanten der Basis vom P-Leitungstyp angeordnet ist, derart, daß sich die Kanten der Basis vom P-Leitungstyp zu der ersten Halbleiteroberfläche erstrecken, wodurch ein erster Kanalbereich entlang einer ersten dieser Kanten gebildet wird, und wobei ein Metallstreifen auf der ersten Halbleiteroberfläche angeordnet ist und den Emitterbereich mit der Basis vom P-Leitungstyp entlang einer zweiten der Kanten verbindet, erste und zweite Bereiche vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet sind und sich von der ersten Oberfläche der Halbleiterscheibe aus erstrecken, wobei die ersten und zweiten Bereiche vom P-Leitungstyp mit seitlichem Abstand von den zweiten bzw. ersten Kanten der Basis vom P-Leitungstyp angeordnet sind, um zweite und dritte Kanalbereiche in der relativ leicht dotierten Epischicht vom N-Leitungstyp zu bilden,

eine erste Gateisolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf dem zweiten Kanalbereich angeordnet ist, eine erste Gateelektrodeneinrichtung auf der ersten Gateisolationsschichteinrichtung angeordnet ist und über dem zweiten Kanalbereich liegt, eine zweite Gateisolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf den ersten und dritten Kanalbereichen angeordnet ist, eine zweite Gateelektrodeneinrichtung auf der zweiten Gateisolationsschichteinrichtung angeordnet ist und über den ersten und dritten Kanalbereichen liegt, eine Anodenelektrodeneinrichtung mit der Schicht vom P-Leitungstyp verbunden ist, die auf der zweiten Halbleiteroberfläche angeordnet ist, und eine Kathodenelektrodeneinrichtung mit den ersten und zweiten Bereichen vom P-Leitungstyp auf der ersten Halbleiteroberfläche verbunden ist.

2. MOS-gesteuerter Thyristor, mit: einer Halbleiterscheibe mit ersten und zweiten, mit Abstand voneinander angeordneten, parallelen, planaren Oberflächen, wobei zumindestens ein Teil der Dicke der Halbleiterscheibe, die sich von der ersten Halbleiteroberfläche aus erstreckt, eine relativ leicht dotierte Schicht vom N-Leitungstyp zur Aufnahme von Grenzschichten aufweist, und wobei zumindest ein Teil der Dicke der Halbleiterscheibe, die sich von der zweiten Halbleiteroberfläche aus erstreckt, eine relativ hoch dotierte Schicht vom P-Leitungstyp umfaßt, dadurch gekennzeichnet, daß: eine Basis vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer ersten Tiefe unterhalb dieser ersten Halbleiteroberfläche erstreckt, ein Emitterbereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer zweiten Tiefe unterhalb dieser Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, um eine N-Emitter-/P-Basisgrenzschicht zu schaffen, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang von Kanten der Basis vom P-Leitungstyp angeordnet ist, derart, daß sich die Kanten der Basis vom P-Leitungstyp bis zu der ersten Halbleiteroberfläche erstrecken, wodurch erste und zweite Kanalbereiche entlang der Kanten gebildet werden, erste und zweite Bereiche vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet sind und sich von der ersten Oberfläche der Halbleiterscheibe aus erstrecken, wobei die ersten und zweiten Bereiche vom P-Leitungstyp mit lateralem Abstand voneinander und von der Basis vom P-Leitungstyp angeordnet sind, um jeweilige dritte und vierte Kanalbereiche in der relativ leicht dotierten Schicht vom N-Leitungstyp zu bilden, wobei ein Metallstreifen auf der ersten Halbleiteroberfläche angeordnet ist und den Emitterbereich vom N-Leitungstyp mit dem zweiten Bereich vom P-Leitungstyp verbindet, ein dritter Bereich vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Oberfläche der

Halbleiterscheibe aus erstreckt, wobei der dritte Bereich vom P-Leitungstyp mit lateralem Abstand von der Basis vom P-Leitungstyp angeordnet ist, um einen fünften Kanalbereich in der Schicht vom N-Leitungstyp zu bilden, eine erste Gateisolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf dem dritten Kanalbereich angeordnet ist, eine erste Gateelektrodeneinrichtung auf der ersten Gateisolationsschichteinrichtung angeordnet ist und über dem dritten Kanalbereich liegt, eine zweite Gateisolationsschichteinrichtung auf der ersten Oberfläche zumindest auf den ersten und vierten Kanalbereichen angeordnet ist, eine zweite Gateelektrodeneinrichtung auf der zweiten Gateisolationsschichteinrichtung angeordnet ist und über den ersten und vierten Kanalbereichen liegt, eine dritte Gateisolationsschichteinrichtung auf der ersten Oberfläche auf zumindest dem zweiten und fünften Kanalbereichen angeordnet ist, eine dritte Gateelektrodeneinrichtung auf der dritten Gateisolationsschichteinrichtung angeordnet ist und über den zweiten und fünften Kanalbereichen liegt, eine Anodenelektrodeneinrichtung mit der auf der zweiten Halbleiteroberfläche angeordneten Schicht vom P-Leitungstyp verbunden ist, und eine Kathodenelektrodeneinrichtung mit den ersten und dritten Bereichen vom P-Leitungstyp auf der ersten Halbleiteroberfläche verbunden sind.

3. MOS-gesteuerter Thyristor, mit: einer Halbleiterscheibe mit ersten und zweiten, mit Abstand voneinander angeordneten, parallelen planaren Oberflächen, wobei zumindest ein Teil der Dicke der Halbleiterscheibe, die sich von der ersten Halbleiteroberfläche aus erstreckt, eine relativ leicht dotierte Schicht vom N-Leitungstyp zur Aufnahme von Grenzschichten aufweist und wobei zumindestens ein Teil der Dicke der Halbleiterscheibe, die sich von der zweiten Halbleiteroberfläche aus erstreckt, eine relativ hoch dotierte Schicht vom P-Leitungstyp umfaßt, dadurch gekennzeichnet, daß: eine Basis vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer ersten Tiefe unterhalb der ersten Halbleiteroberfläche erstreckt, ein Emitterbereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer zweiten Tiefe unterhalb der Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, um eine N-Emitter-/P-Basisgrenzschicht zu schaffen, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang einer Kante der Basis vom P-Leitungstyp angeordnet ist, derart, daß sich eine Kante der Basis vom P-Leitungstyp bis zu der ersten Halbleiteroberfläche erstreckt, wodurch ein erster Kanalbereich entlang der Kante gebildet wird, erste und zweite Bereiche vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet sind und sich von der ersten Oberfläche der Halbleiterscheibe aus erstrecken, wobei die ersten und zweiten Bereiche vom P-Lei-

tungstyp mit lateralem Abstand voneinander angeordnet sind und der zweite Bereich vom P-Leitungstyp mit lateralem Abstand von der Basis vom P-Leitungstyp angeordnet ist, um jeweilige zweite und dritte Kanalbereiche in der relativ leicht dotierten Schicht vom N-Leitungstyp zu bilden, wobei ein Metallstreifen auf der ersten Halbleiteroberfläche angeordnet ist und den Emitterbereich vom N-Leitungstyp mit dem zweiten Bereich vom P-Leitungstyp verbindet,

eine erste Gateisolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf dem zweiten Kanalbereich angeordnet ist,

eine erste Gateelektrodeneinrichtung auf der ersten Gateisolationsschichteinrichtung angeordnet ist und über dem zweiten Kanalbereich liegt,

eine zweite Gateisolationsschichteinrichtung auf der ersten Oberfläche zumindestens auf den ersten und dritten Kanalbereichen angeordnet ist,

eine zweite Gateelektrodeneinrichtung auf der zweiten Gateisolationsschichteinrichtung angeordnet ist und über den ersten und dritten Kanalbereichen liegt,

eine Anodenelektrodeneinrichtung mit der Schicht vom P-Leitungstyp verbunden ist, die auf der zweiten Halbleiteroberfläche angeordnet ist, und

eine Kathodenelektrodeneinrichtung mit den ersten und dritten Bereichen vom P-Leitungstyp auf der ersten Halbleiteroberfläche verbunden ist.

4. MOS-gesteuerter Thyristor nach Anspruch 3, dadurch gekennzeichnet, daß die zweite Gateelektrode elektrisch schwimmend ist oder fehlt.

5. MOS-gesteuerter Thyristor nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß er weiterhin einen relativ leicht dotierten Bereich vom P-Leitungstyp aufweist, der in dem zweiten Kanalbereich zwischen den ersten und zweiten Bereichen vom P-Leitungstyp angeordnet ist, um einen P-Kanal-Verarmungs-MOSFET zu bilden.

6. MOS-gesteuerter Thyristor mit:

einer Halbleiterscheibe mit ersten und zweiten, mit Abstand voneinander angeordneten, parallelen, planaren Oberflächen, wobei zumindest ein Teil der Dicke der Halbleiterscheibe, der sich von der ersten Halbleiteroberfläche aus erstreckt, eine relativ leicht dotierte Schicht vom N-Leitungstyp zur Aufnahme von Grenzsichten aufweist und wobei zumindestens ein Teil der Dicke der Halbleiterscheibe, die sich von der zweiten Halbleiteroberfläche aus erstreckt, eine hochdotierte Schicht vom P-Leitungstyp aufweist,

dadurch gekennzeichnet, daß

eine Senke vom P-Leitungstyp in der relativ leicht dotierten epitaxial abgeschiedenen Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer ersten Tiefe unterhalb dieser ersten Halbleiteroberfläche erstreckt,

eine Senke vom N-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer zweiten Tiefe unterhalb dieser ersten Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, wobei die Senke vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von einer Kante der Senke vom P-Leitungstyp angeordnet ist, wodurch ein erster Kanalbereich gebildet wird, der in

der Senke vom P-Leitungstyp in der Nähe der ersten Halbleiteroberfläche angeordnet ist,

eine Basis vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer dritten Tiefe unterhalb dieser Halbleiteroberfläche erstreckt, die flacher als die zweite Tiefe ist, wobei die Basis vom P-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von einer Kante der Senke vom N-Leitungstyp angeordnet ist, wodurch ein zweiter Kanalbereich gebildet wird, der in der Senke vom N-Leitungstyp in der Nähe der ersten Halbleiteroberfläche angeordnet ist,

ein Sourcebereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer vierten Tiefe unterhalb dieser Halbleiteroberfläche erstreckt, die flacher als die dritte Tiefe ist, um eine N-Source-/P-Basis-Grenzsicht zu schaffen, wobei der Sourcebereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von einer Kante der Basis vom P-Leitungstyp angeordnet ist, wodurch ein dritter Kanalbereich gebildet wird, der in der Basis vom P-Leitungstyp in der Nähe der ersten Halbleiteroberfläche angeordnet ist,

ein Bereich vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Oberfläche der Halbleiteroberfläche aus erstreckt, wobei der Bereich vom P-Leitungstyp mit lateralem Abstand von der Kante der Senke vom P-Leitungstyp angeordnet ist, um einen vierten Kanalbereich zu bilden, der in der relativ leicht dotierten epitaxialen Schicht vom N-Leitungstyp zwischen dem Bereich vom P-Leitungstyp und der Senke vom P-Leitungstyp in der Nähe der ersten Halbleiteroberfläche angeordnet ist,

eine Gateisolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf den ersten, zweiten, dritten und vierten Kanalbereichen angeordnet ist,

eine Gateelektrodeneinrichtung auf der Gateisolationsschichteinrichtung angeordnet ist und über den ersten, zweiten, dritten und vierten Kanalbereichen liegt,

eine Anodenelektrodeneinrichtung mit der Schicht vom P-Leitungstyp verbunden ist, die auf der zweiten Halbleiteroberfläche angeordnet ist, und

eine Kathodenelektrodeneinrichtung mit der Basis vom P-Leitungstyp, dem Emitter vom N-Leitungstyp und dem Bereich vom P-Leitungstyp auf der ersten Halbleiteroberfläche verbunden ist.

7. MOS-gesteuerter Thyristor nach Anspruch 6, dadurch gekennzeichnet, daß die Senke vom P-Leitungstyp und der erste Bereich vom P-Leitungstyp jeweils Zellen bilden, wobei die Zellen Seite an Seite in einer symmetrischen Anordnung angeordnet sind.

8. MOS-gesteuerter Thyristor, mit:

einer Halbleiterscheibe mit ersten und zweiten, mit Abstand voneinander angeordneten, parallelen, planaren Oberflächen, wobei zumindest ein Teil der Dicke der Halbleiterscheibe, die sich von der ersten Halbleiteroberfläche aus erstreckt, eine relativ leicht dotierte Schicht vom N-Leitungstyp zur Aufnahme von Grenzsichten aufweist und zuminde-

stens ein Teil der Dicke der Halbleiterscheibe, die sich von der zweiten Halbleiteroberfläche aus erstreckt, eine stark dotierte Schicht vom P-Leitungstyp aufweist, dadurch gekennzeichnet, daß

5 eine Senke vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet ist und sich von der ersten Halbleiteroberfläche aus bis zu einer ersten Tiefe unterhalb der ersten Halbleiteroberfläche erstreckt,

10 eine Senke vom N-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer zweiten Tiefe unterhalb dieser ersten Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, wobei die Senke vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von einer Kante der Senke vom P-Leitungstyp angeordnet ist,

15 eine Basis vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer dritten Tiefe unterhalb der Halbleiteroberfläche erstreckt, die flacher als die zweite Tiefe ist, wobei die Basis vom P-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von einer Kante der Senke vom N-Leitungstyp angeordnet ist,

20 ein Sourcebereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche aus bis zu einer vierten Tiefe unterhalb dieser Halbleiteroberfläche erstreckt, die flacher als die dritte Tiefe ist, um eine N-Source-/P-Basis-Grenzschicht zu schaffen, wobei der Sourcebereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von einer Kante der Basis vom P-Leitungstyp angeordnet ist, wodurch ein erster Kanalbereich gebildet wird, der in der Basis vom P-Leitungstyp in der Nähe der ersten Halbleiteroberfläche angeordnet ist,

25 ein Emitterbereich vom N-Leitungstyp, der in der Senke vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer fünften Tiefe unterhalb der Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand von Kanten der Senke vom P-Leitungstyp angeordnet ist, wodurch ein zweiter Kanalbereich gebildet wird, der in der Senke vom P-Leitungstyp in der Nähe der ersten Halbleiteroberfläche angeordnet ist,

30 ein Bereich vom P-Leitungstyp, der in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Oberfläche der Halbleiterscheibe aus erstreckt, wobei der Bereich vom P-Leitungstyp mit lateralem Abstand von der Kante der Senke vom P-Leitungstyp angeordnet ist, um einen dritten Kanalbereich zu bilden, der in der relativ leicht dotierten epitaxialen Schicht vom N-Leitungstyp zwischen dem Bereich vom P-Leitungstyp und der Senke vom P-Leitungstyp in der Nähe der ersten Halbleiteroberfläche angeordnet ist,

35 eine Gateisolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf den ersten, zweiten und dritten Kanalbereichen angeordnet

net ist, eine Gateelektrodeneinrichtung auf der Gateisolationsschichteinrichtung angeordnet ist und über den ersten, zweiten und dritten Kanalbereichen liegt,

eine Anodenelektrodeneinrichtung mit der Schicht vom P-Leitungstyp verbunden ist, die auf der zweiten Halbleiteroberfläche angeordnet ist, und eine Kathodenelektrodeneinrichtung mit der Basis vom P-Leitungstyp, der Source vom N-Leitungstyp und dem Bereich vom P-Leitungstyp auf der ersten Halbleiteroberfläche verbunden ist.

9. MOS-gesteuerter Thyristor nach Anspruch 8, dadurch gekennzeichnet, daß die Senke vom P-Leitungstyp, die Senke vom N-Leitungstyp, die Basis vom P-Leitungstyp und die Source vom N-Leitungstyp zusammen eine erste Zelle bilden, daß der Emitter vom N-Leitungstyp, der in der Senke vom P-Leitungstyp angeordnet ist, eine zweite Zelle bildet, und daß der Bereich vom P-Leitungstyp eine dritte Zelle bildet, wobei die Zellen Seite an Seite in einer symmetrischen Anordnung angeordnet sind.

10. MOS-gesteuerter Thyristor nach Anspruch 7 oder 9, dadurch gekennzeichnet, daß die Zellen eine vieleckige Form aufweisen.

11. MOS-gesteuerter Thyristor nach Anspruch 7 oder 9, dadurch gekennzeichnet, daß die Zellen in einer Anordnung angeordnet sind, die eine Vielzahl von parallel geschalteten, symmetrisch angeordneten, vieleckigen Zellen umfaßt, und daß die Elektrodenrichtungen ein Gitter bilden, das über der Anordnung liegt.

Hierzu 11 Seite(n) Zeichnungen

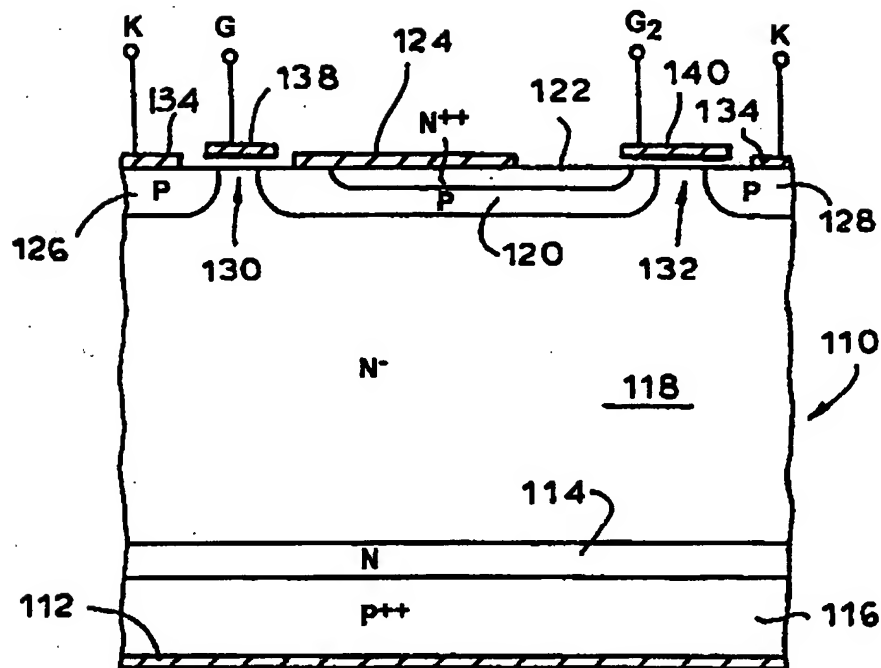
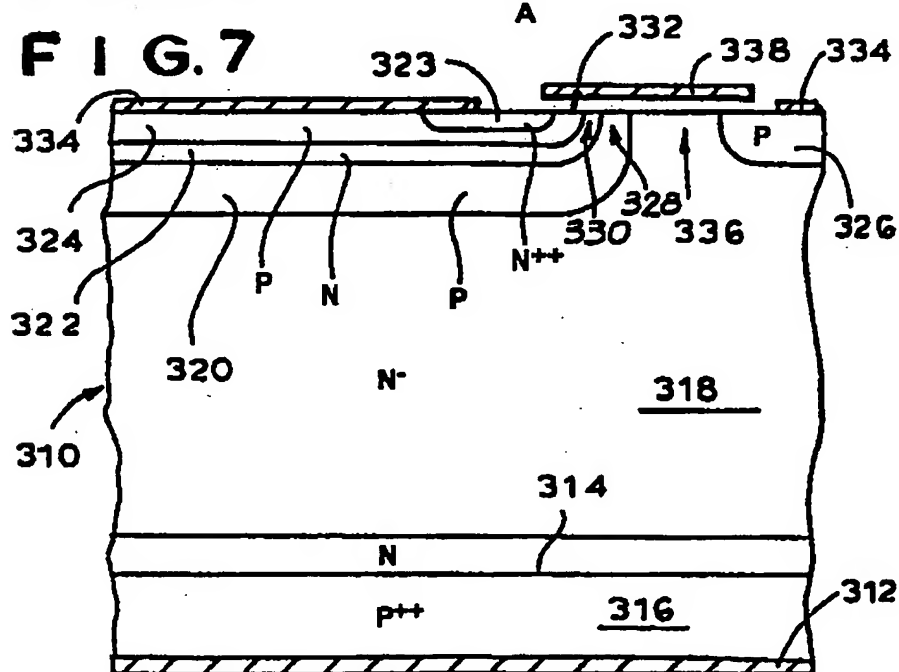


FIG. 2

FIG. 7



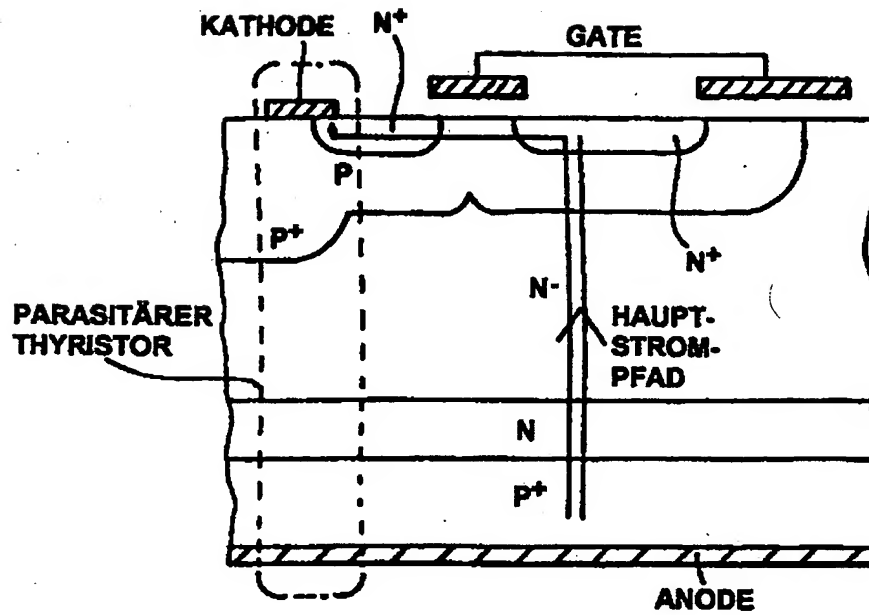
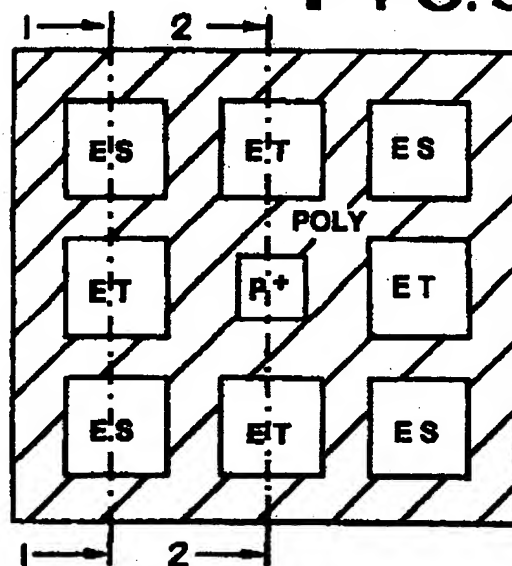


FIG. 1 (STAND DER TECHNIK)

FIG. 9B



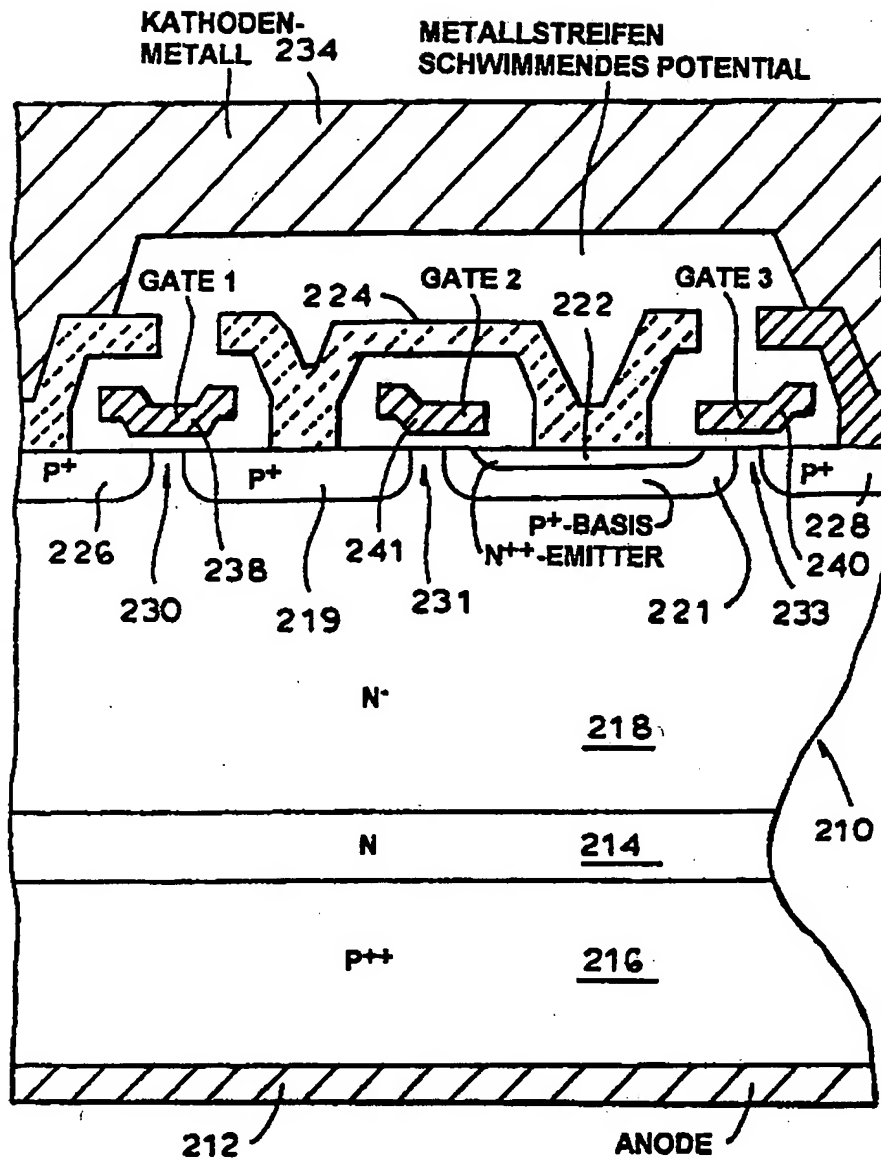


FIG. 3

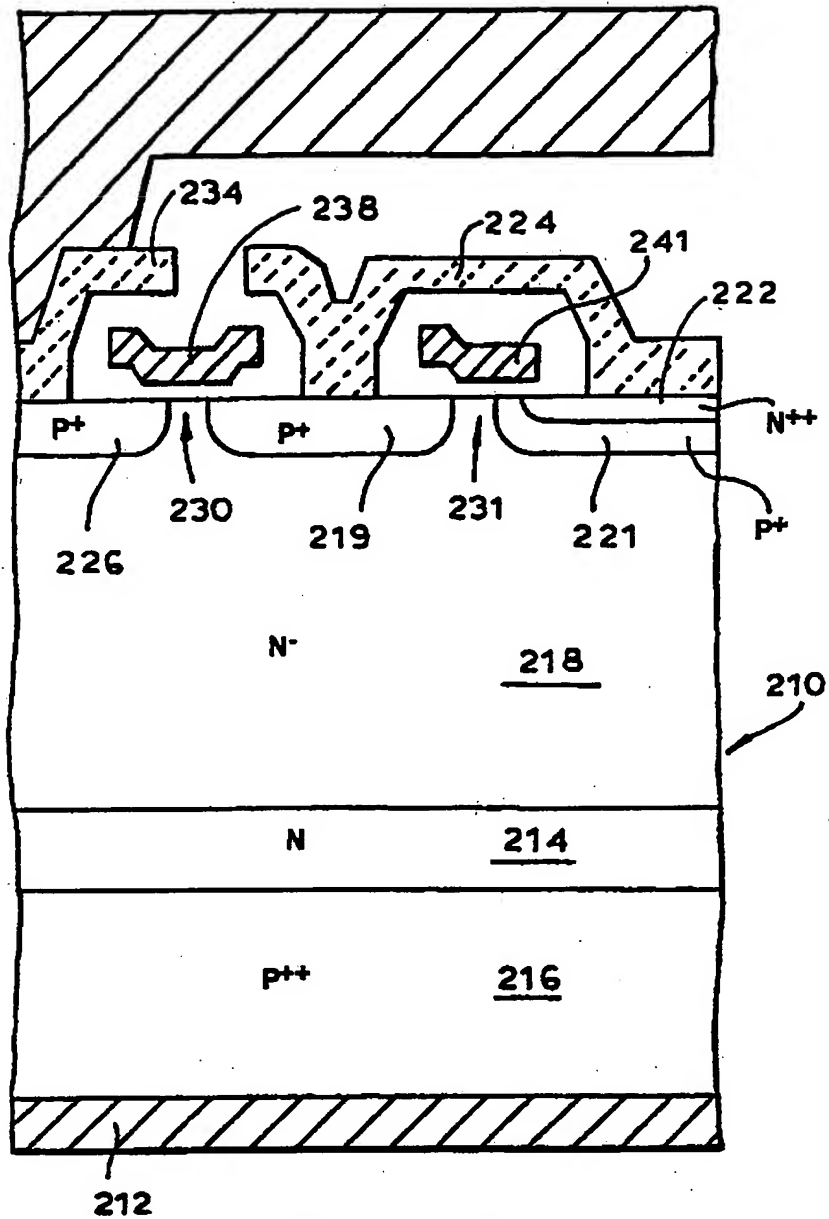


FIG. 4

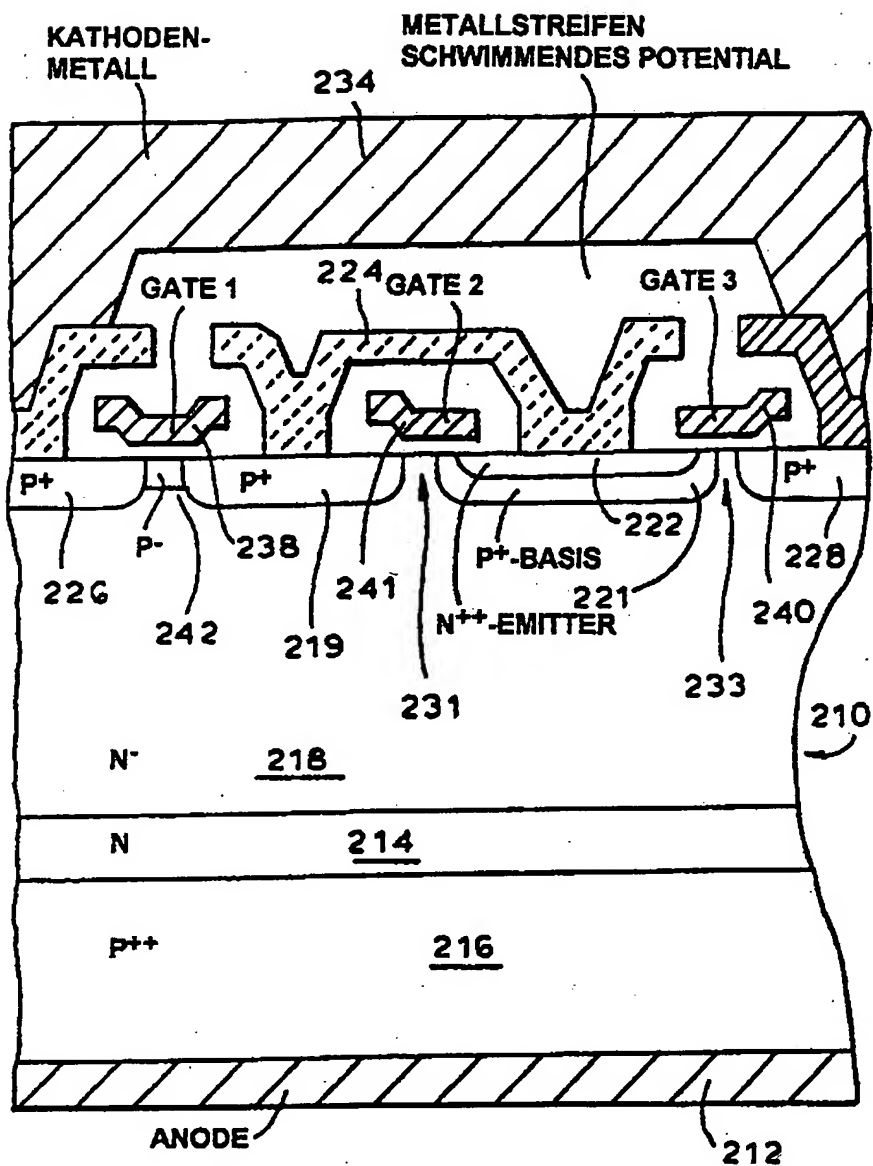


FIG. 5

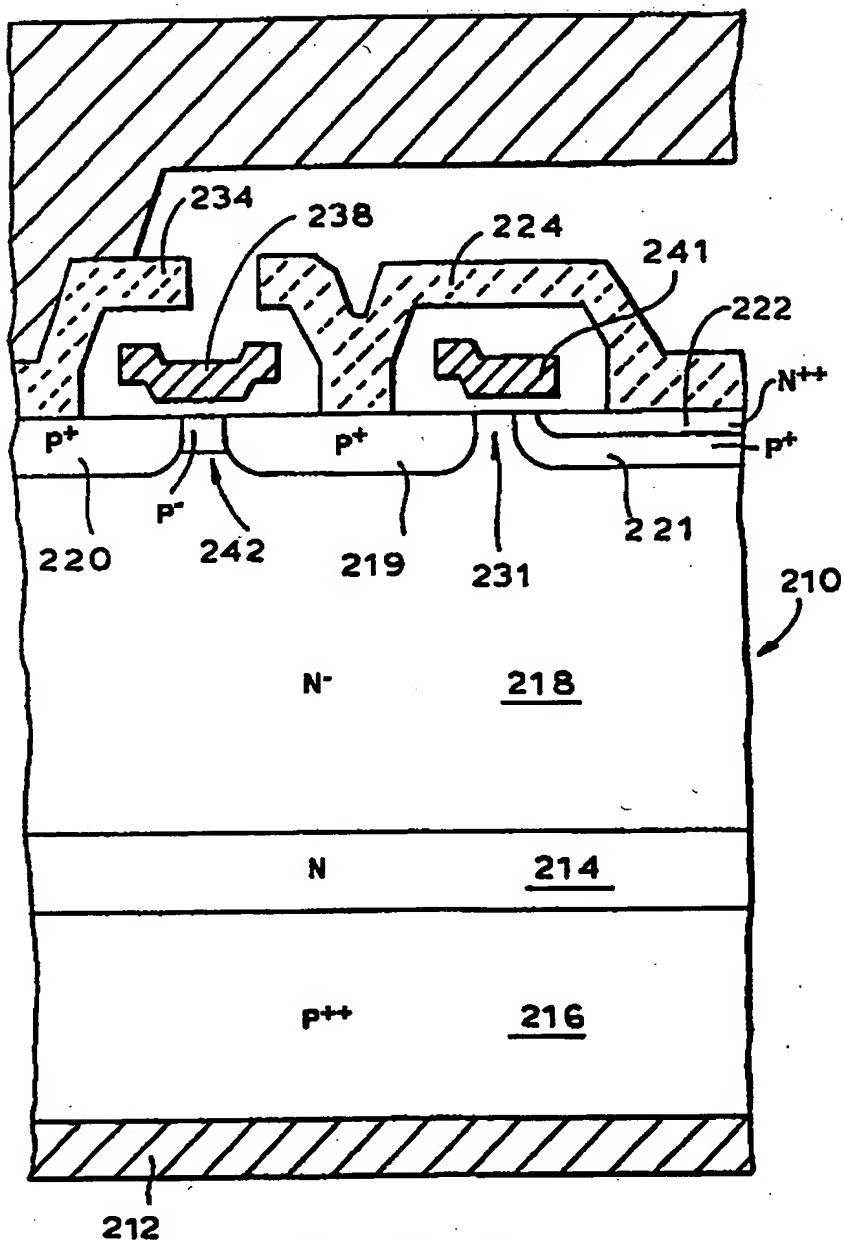
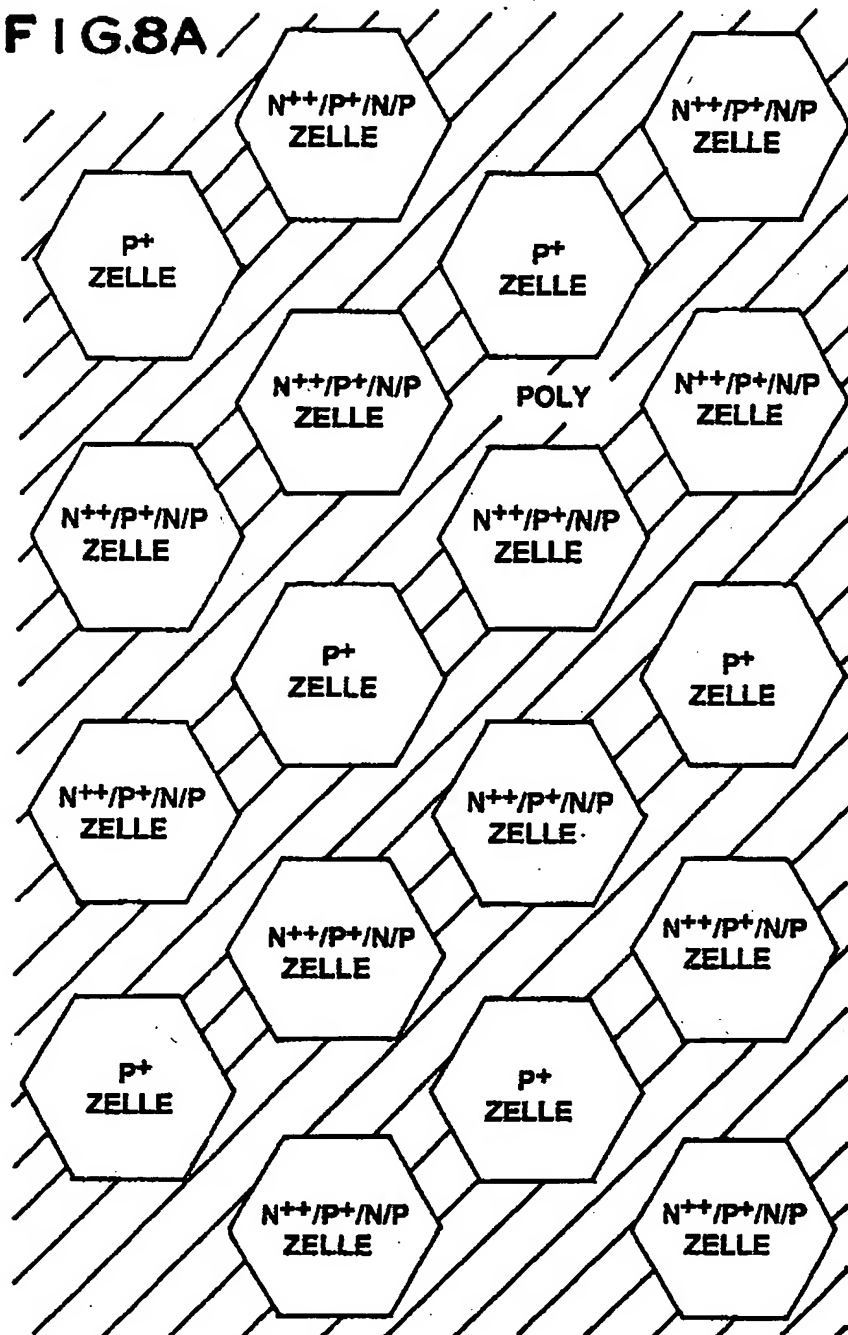


FIG. 6

FIG.8A



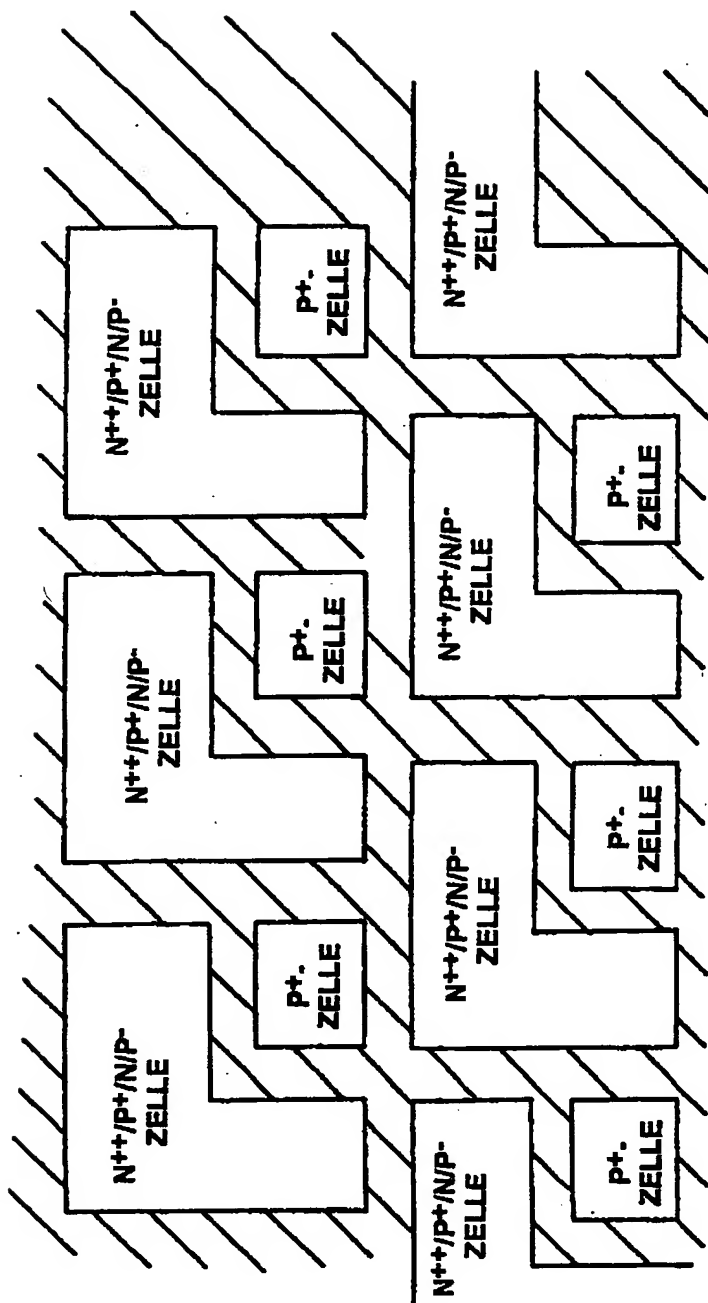


FIG. 8B

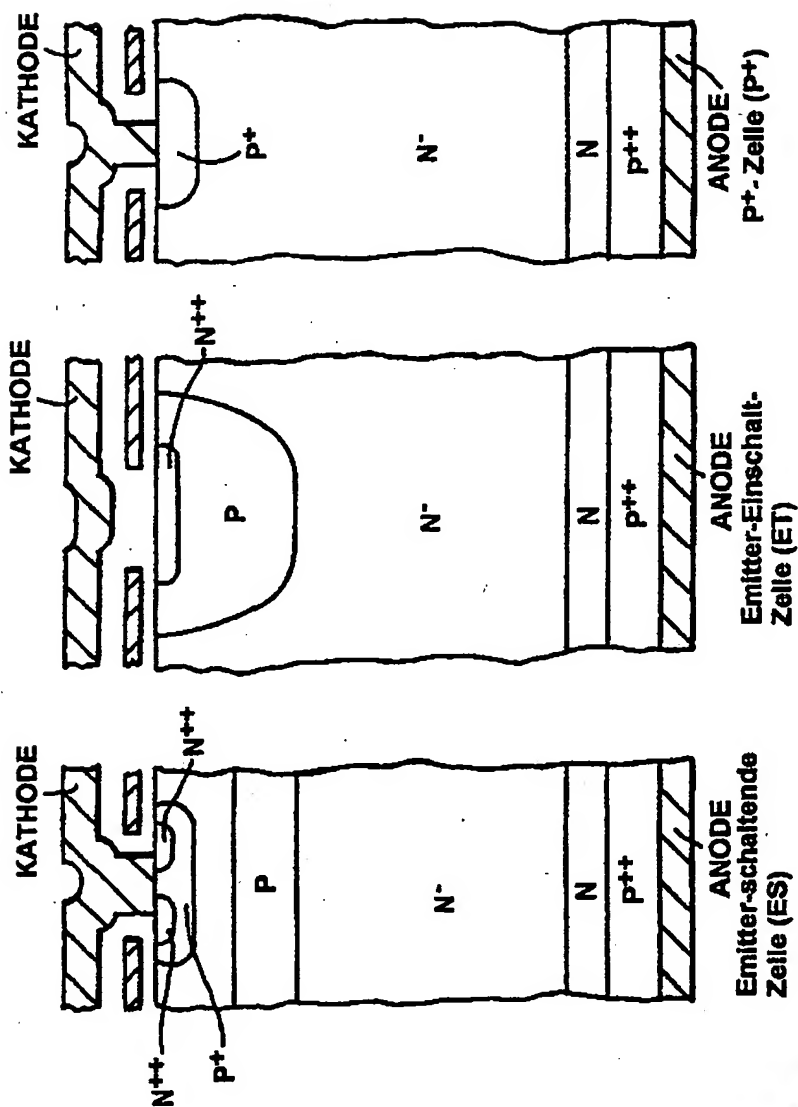


FIG. 9A

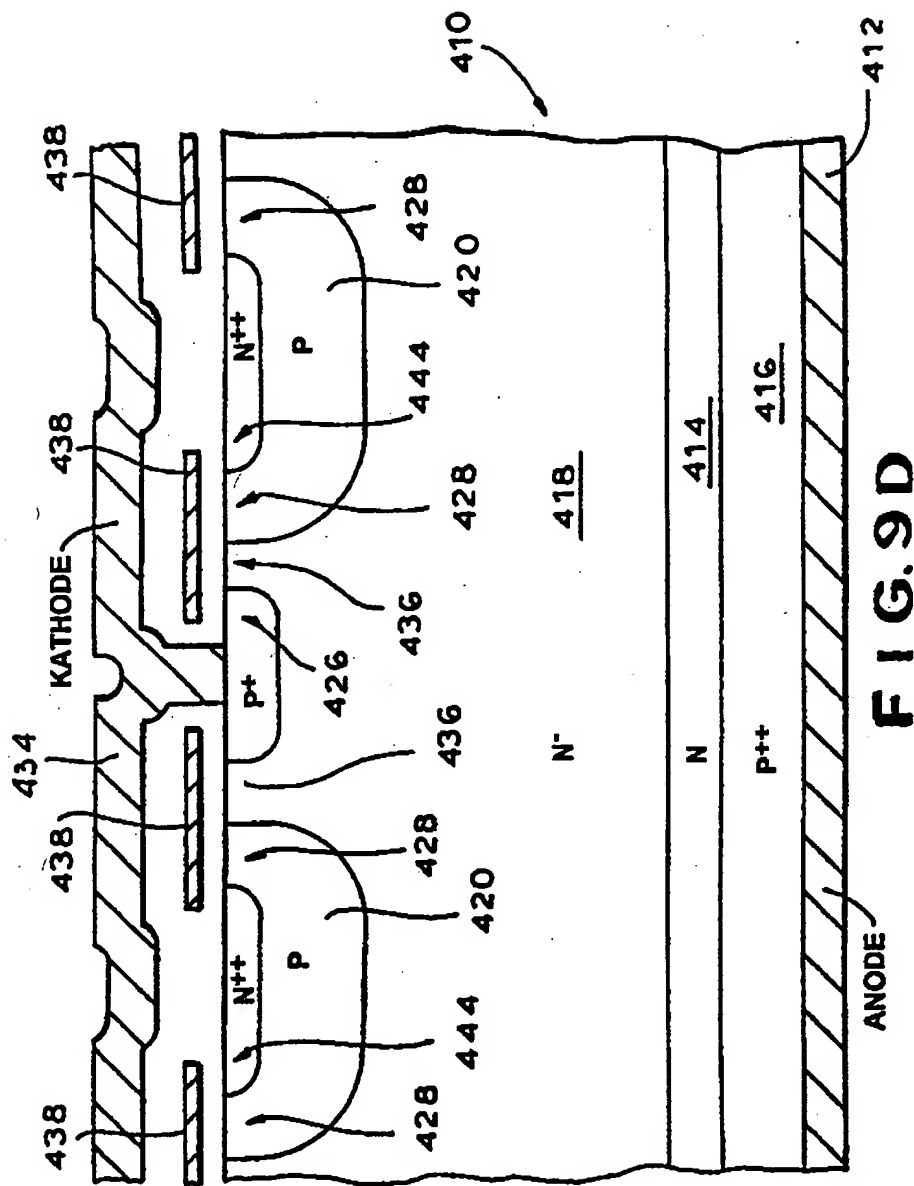


FIG. 9D